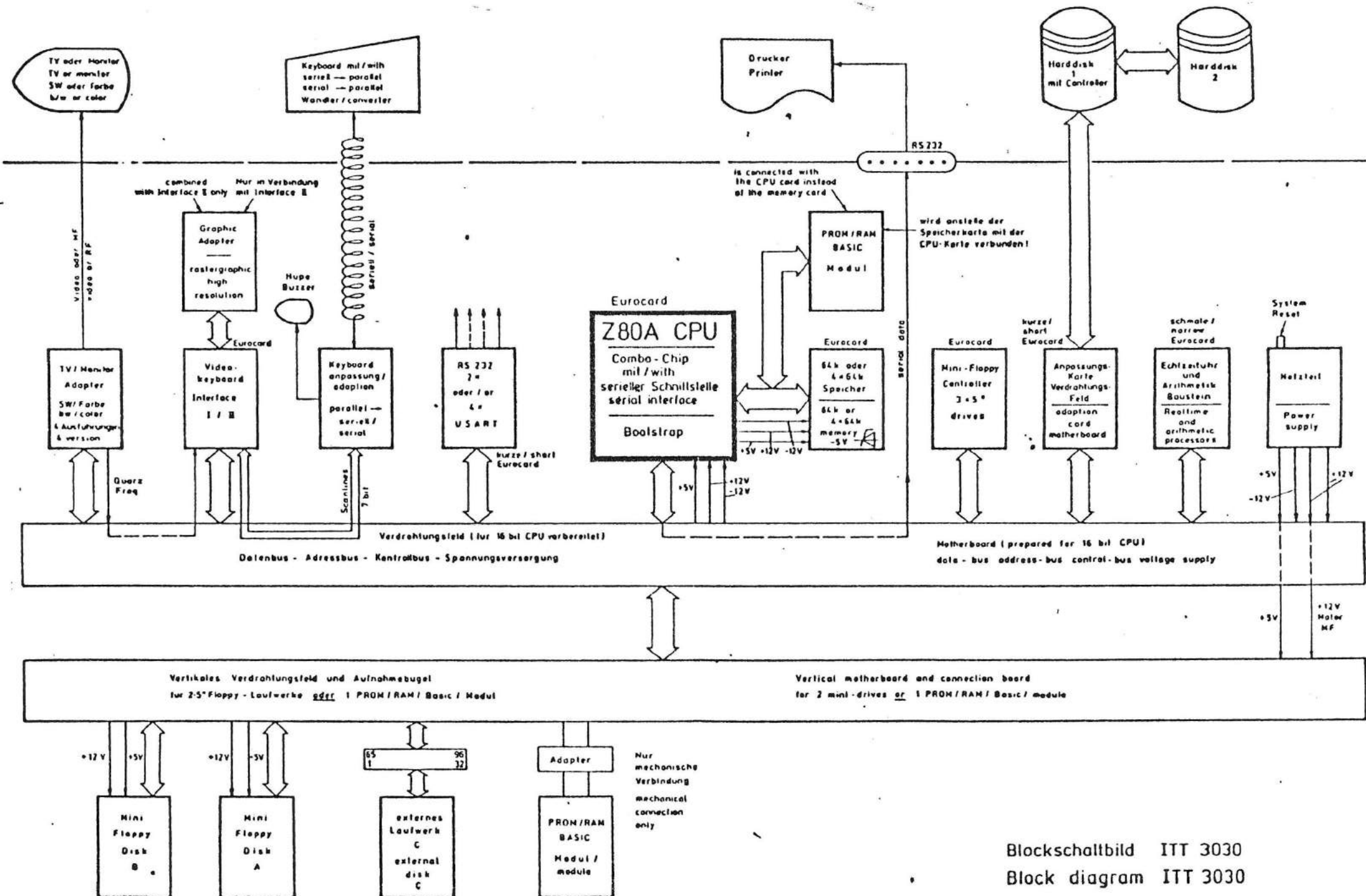


ITT / RFA

ITT 3030

SERVICE MANUAL



Blockschaltbild ITT 3030
Block diagram ITT 3030

2 JUL 1982

VORABVERSION

SYSTEMHANDBUCH

1. CRT - Controller

1.1 Allgemeines

Der CRT-Controller ist aufgeteilt in die Funktionsgruppen:

- Erkennung Bildspeicher
- Adreßerkennung und Adreßauswahl
- Adreßmodifizierung
- programmierbare Zeitsteuerung
- Bildwiederholtspeicher mit Ausgabelatch
- Zeichengenerator
- Videosignalerzeugung
- Taktgenerator
- Erkennung Bildspeicher

Bei Betrieb mit dem 64K-Speicher wird mit dem Signal $SR/\overline{KOMBI}$ zwischen 64K-Speicher und Bildspeicher umgeschaltet.

- Adreßerkennung und Adreßauswahl

Der Bildspeicher verhält sich zur BUS-Schnittstelle wie ein 4K-RAM-Speicher. Die oberen 4 Bit der auf der $3000H$ liegenden Basisadressen generieren zusammen mit $MEMR$ oder $MEMW$ die Signale WEM oder REM sowie EXT .

EXT schaltet die 3 Adreßmultiplexer von interner Refreshadresse auf externe Rechneradresse um, sollte eine Anforderung auf externen Zugriff vorliegen. Die unteren 12 Bit sind im Bildwiederholtspeicher so aufgeteilt, daß jedes auf dem Bildschirm dargestellte Zeichen Teil eines x-y-Koordinatensystems ist. Dabei bilden die Adreßbit $A_0 - A_6$ die Zeichenposition innerhalb der Zeile, die Adreßbit $A_7 - A_{11}$ die Zeilennummer.

Das Lupensignal wird auf der Adresse $34H$ mit dem Datenbit 0 übergeben.

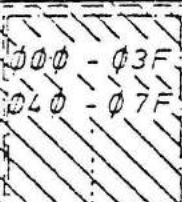
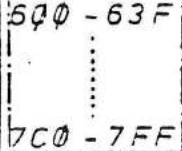
- Adreßmodifizierung.

Über einen MUX werden die über den BUS kommenden 12 Zeichenadreibit zu einer 11 Bit-Adresse reduziert, um so den Speicherplatz dem tatsächlich benötigten Bedarf anzupassen.

Die Zuordnung zwischen BUS-Adresse und der sich daraus ergebenden internen Speicheradresse zeigt die folgende Tabelle:

Adresse 32 steuert eine externe Hupe

Adresse 33 steuert eine Anzeige-LED in der Tastatur

BUS-Adressen		Zusatz- Basis- adresse					
		00 - 3F	40 - 4F	50 - 5F	60 - 6F	70 - 7F	
		Zeilen Nr.	Zeichen 1 - 64	Zeichen 65 - 80	verbotener Zeichenadress - Bereich		
0 0 0	1		000 - 03F	600 - 60F	600 - 60F	600 - 60F	
0 8 0	2		040 - 07F	640 - 64F	640 - 64F	640 - 64F	
...	...		...	...	...	...	
7 8 0	16		3C0 - 3FF	7D0 - 7DF	7D0 - 7DF	7D0 - 7DF	
8 0 0	17		400 - 43F	620 - 62F	620 - 62F	620 - 62F	
8 8 0	18		480 - 47F	660 - 66F	660 - 66F	660 - 66F	
...	...		...	...	...	...	
B 8 0	24		5C0 - 5FF	7E0 - 7EF	7E0 - 7EF	7E0 - 7EF	
C 0 0	25		600 - 63F	630 - 63F	630 - 63F	630 - 63F	
...	...		...	...	...	...	
F 8 0	32		7C0 - 7FF	7F0 - 7FF	7F0 - 7FF	7F0 - 7FF	
			Interrupt Request				
			Zeitablauf- Steuerung				

-  Speicherbereich 1 K
- Bei den Steueradressen "Interrupt Request" und Zeitablaufsteuerung tritt kein Speicher-Chip-Select auf, so daß eine Doppelbeschreibung des Speichers vermieden wird.
- Der Speicherbereich für die Zeichen 65-80 in Zeile 1-24 und Zeiche 1-64 in Zeile 25-32 ist identisch, do daß die größtmöglichen Formate 32 Zeilen - 64 Zeichen bzw. 24 Zeilen - 80 Zeichen sind.

Der Interrupt-Request dient zur Synchronisierung des Rechnerzugriffes auf die vertikale Austastlücke, so daß der externe Zugriff während der Dunkeltastung des Bildschirms erfolgt. Dadurch wird eine Störung des Bildes beim Rechnerzugriff vermieden.

Programmierbare Zeitsteuerung

Die programmierbare Zeitsteuerung erfolgt durch den Controller Chip CRT 5027. Seine Steuerregister werden durch die unteren 4 Adreßbits adressiert und über den Datenbus geladen. Dazu wird auf der Karte, außer dem Chip Select auch ein Data-Strobe erzeugt. Der Controller Chip erzeugt dann über die Ausgänge $H_0 - H_6$ (Zeichenposition) und $DR_0 - DR_4$ (Zeilennummer) die interne Refresh-Adresse für den Bildwiederholtspeicher und über $R_0 - R_3$ (Row Scan) die aktuelle Rasterzeilennummer für den Zeichengenerator.

Der Baustein erzeugt außerdem den horizontalen und vertikalen Synchronisationsimpuls, sowie ein Gemisch dieser Impulse für das BAS-Signal. Ferner liefert der Baustein das Cursor-Signal und das Blank-Signal für die Austastlücken.

- Video-Signal-Erzeugung

Die serielle Videoinformation des Schieberegisters wird mit dem aus Synchronisierungsgründen zwischengespeicherten Invers- bzw. Cursorbit verknüpft, das ebenso wie das Blanksignal (Horizontale, vertikale Austastlücke) vom Controller Chip erzeugt wird.

- Taktgenerator

Die Signale DC und DCC werden von einem Quarzgenerator bzw. von dem nachgeschalteten Synchronzähler geliefert. Dieser wird mit dem Videodot Clock getaktet und erzeugt bei Überlauf das Signal DCC. Mit der nächsten Taktflanke setzt er sich auf den Anfangszustand 8.

- Bildwiederholpeicher mit Ausgabelatch

Die CRT-Controllerplatine benötigt je nach gewünschtem Darstellungsformat (16 x 32, 16 x 64, 24 x 80, 12x40 Zeilen x Zeichen) einen 1 K bzw. 2 K großen Bildwiederholpeicher, der durch die Multiplexer der Adressenauswahl adressiert wird.

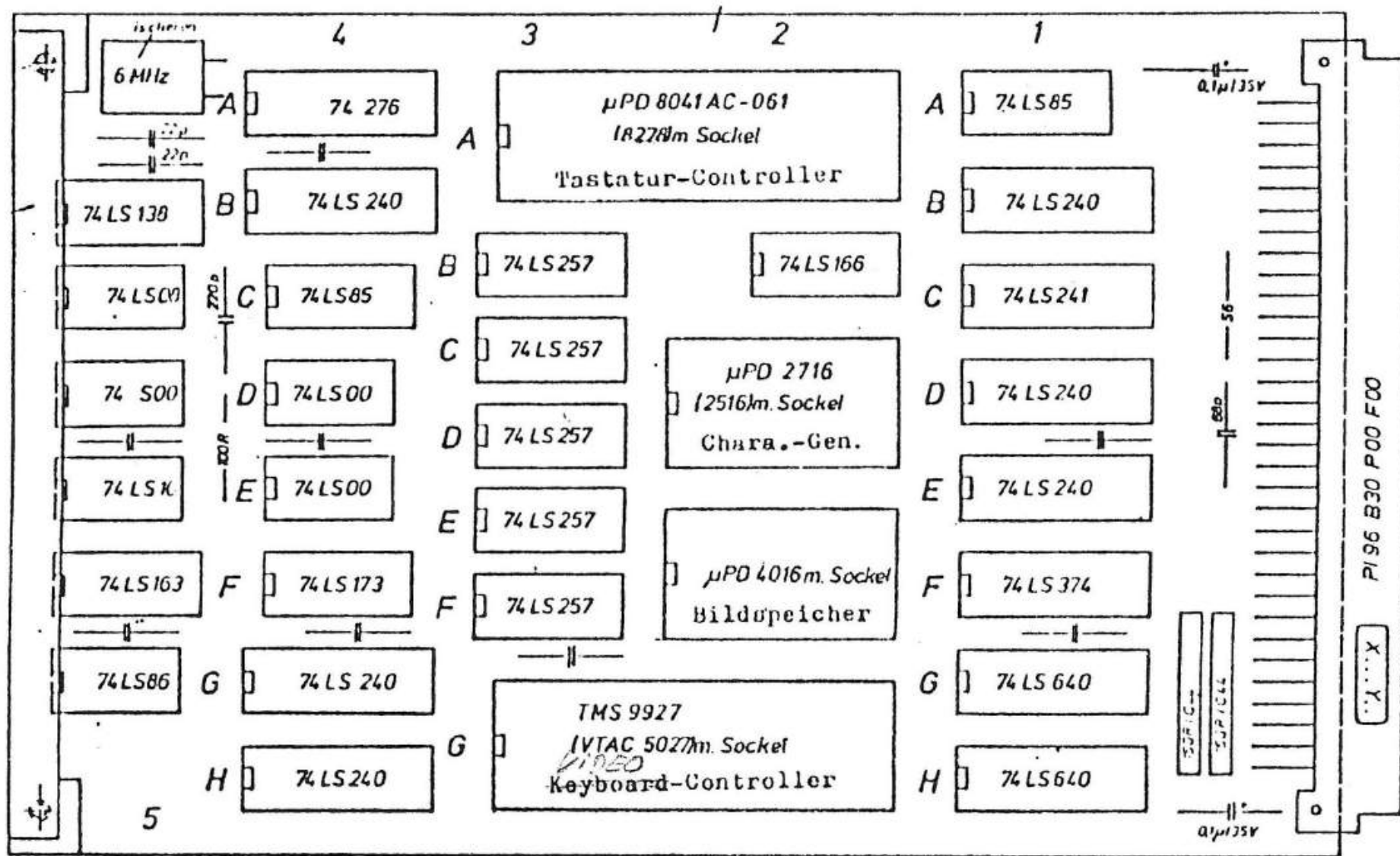
Die 8-Bit Datenausgänge dieses Speichers werden für einen Zeichenzyklus mit dem Signal DCC zwischengespeichert. Die unteren 7-Bit entsprechen dem ASCII-Code, während das 8. Bit zu einer zeichenbegleitenden Inversdarstellung benutzt wird.

- Zeichengenerator

Der ASCII-Code des Bildwiederholpeichers bildet zusammen mit den 4 Bit ($R_7 - R_3$) des Controller Chip die Adresse für den Zeichengenerator (2 K Byte Prom mit max. 128 Zeichen).

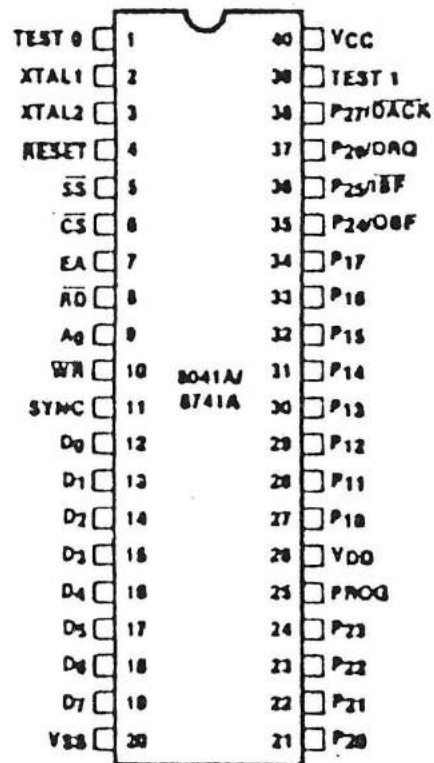
Mit dem Takt DCC werden die Daten dieses PROM'S parallel in ein Schieberegister übernommen und mit dem Takt DC in eine serielle Form gebracht.

Video/Keyboard-Controller

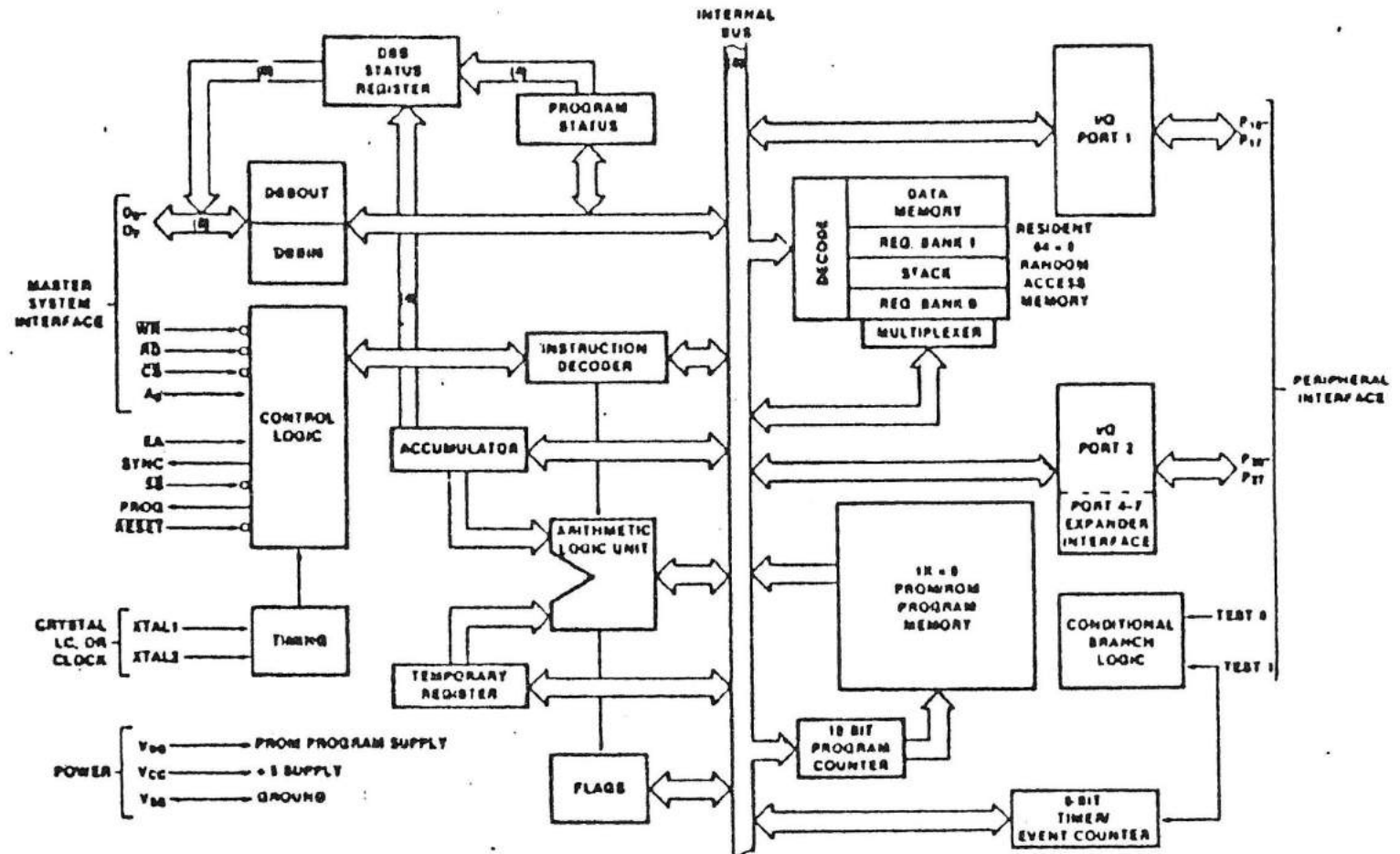


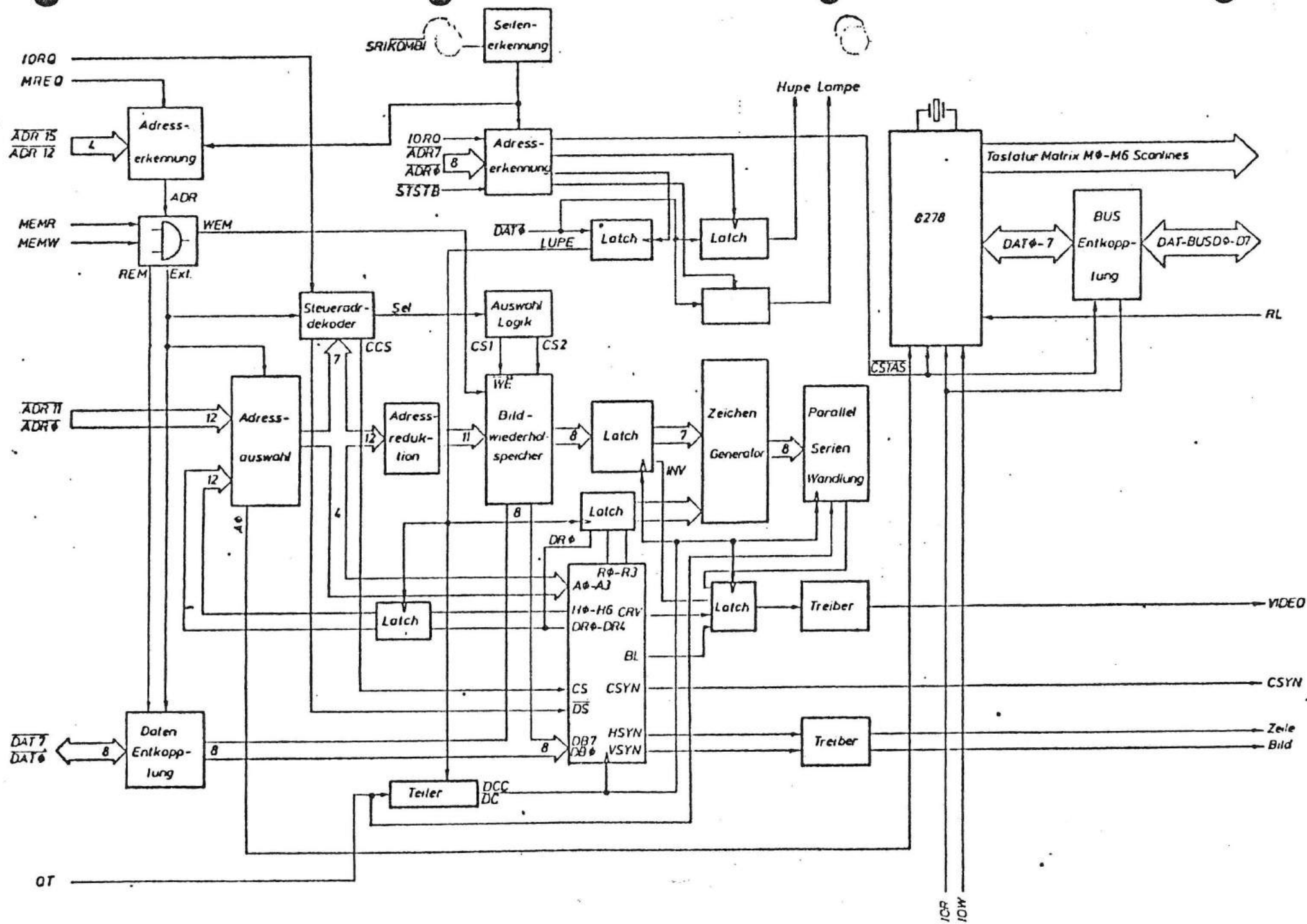
KEYBOARD - CONTROLLER 8741 A

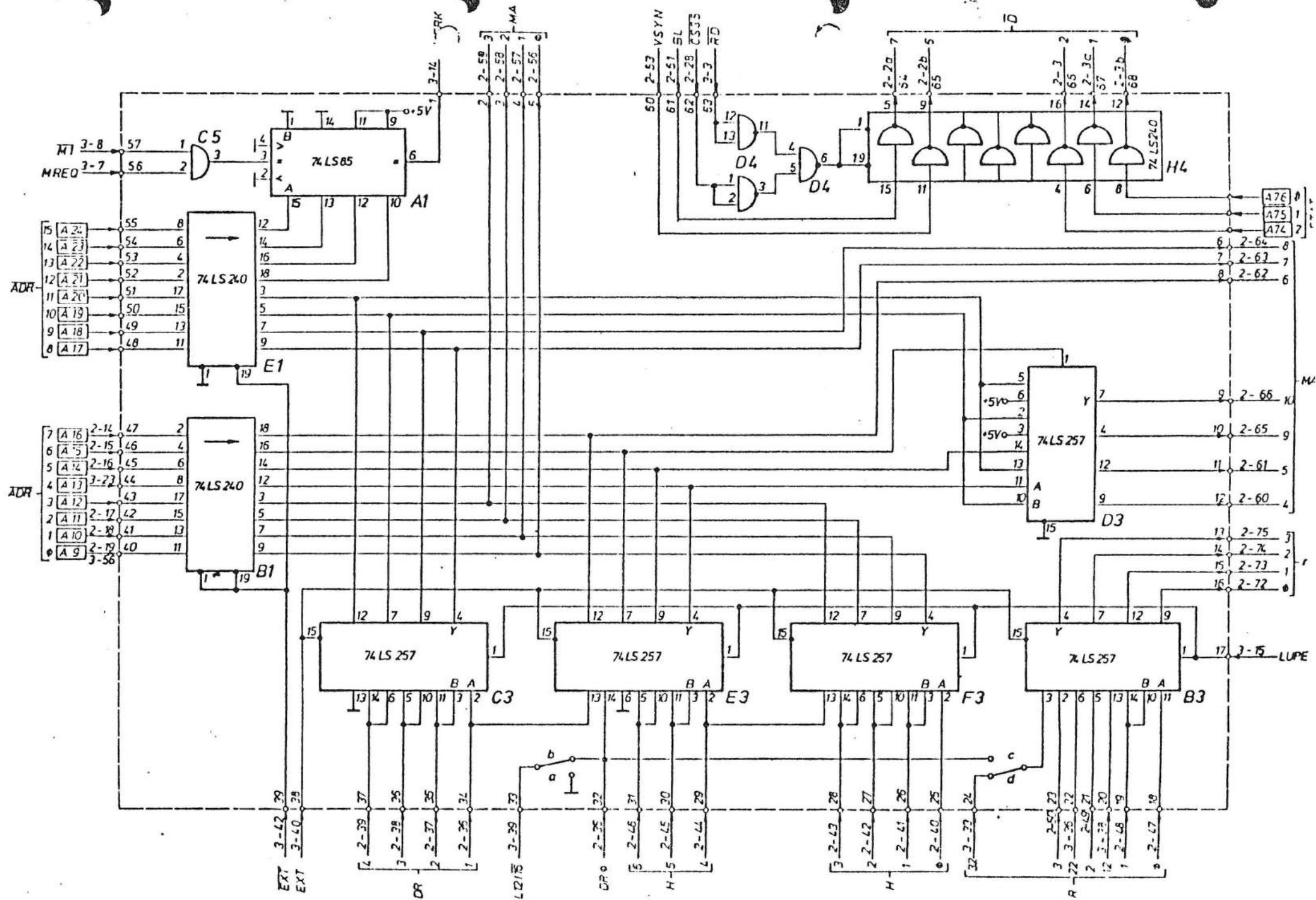
PIN CONFIGURATION

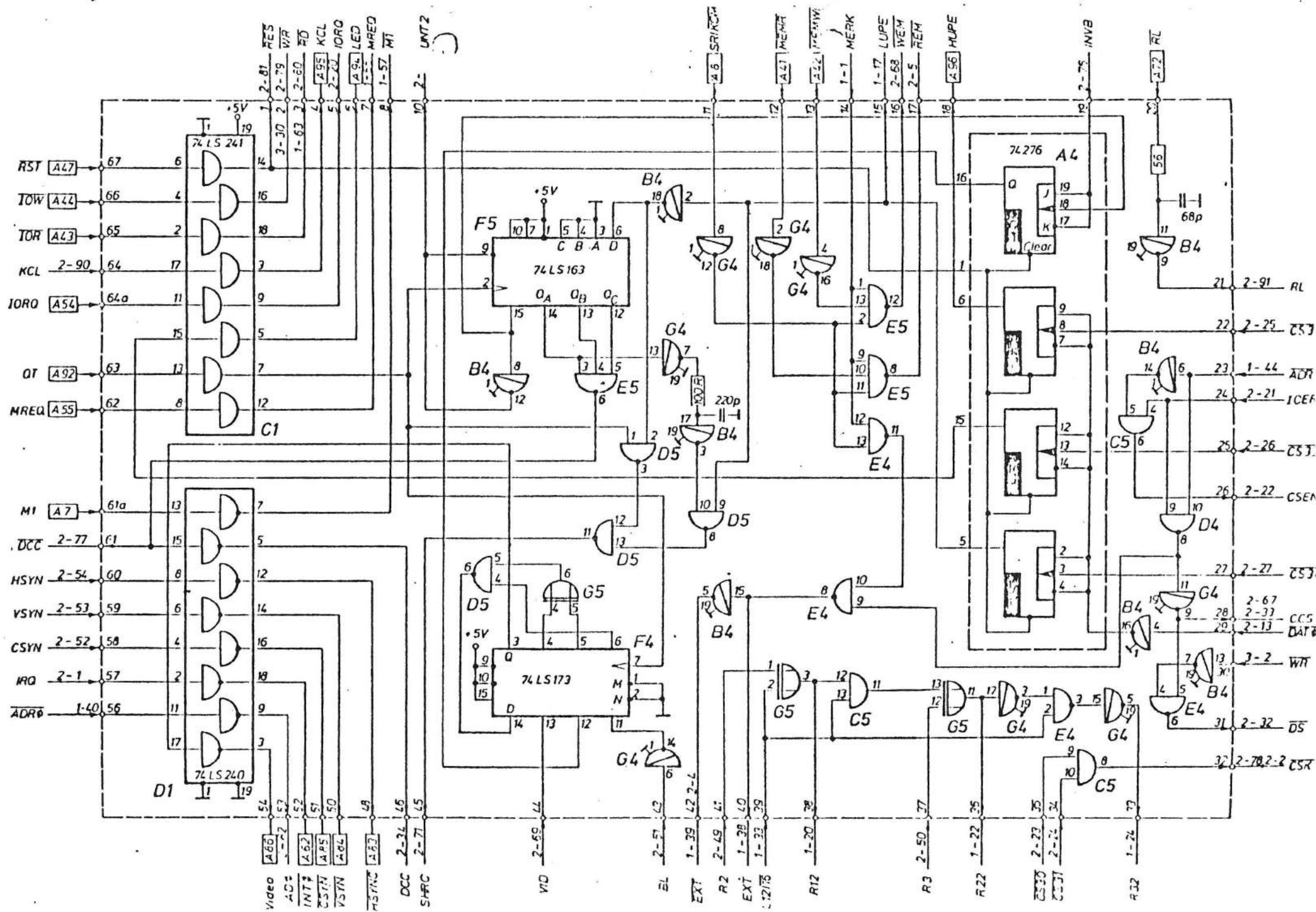


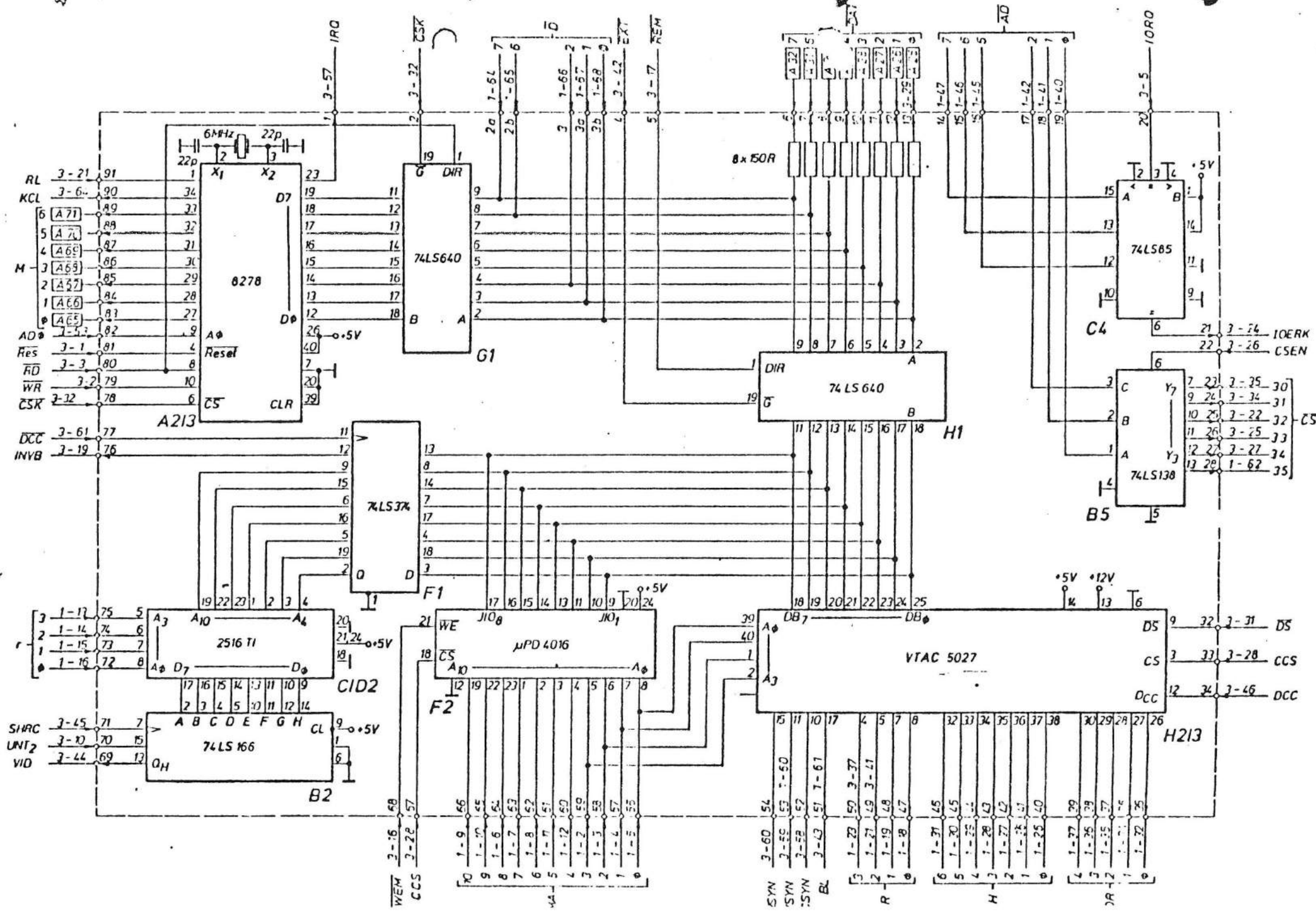
BLOCK DIAGRAM



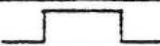
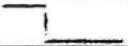
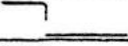
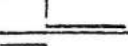
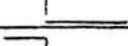
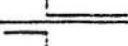
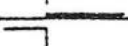
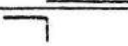
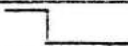
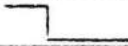
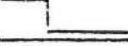
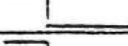
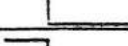
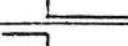
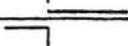
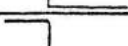
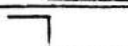
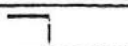
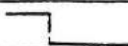
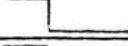
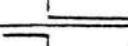


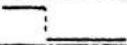
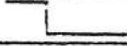
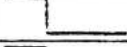
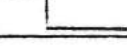
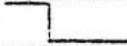
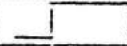
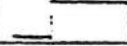


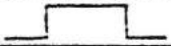
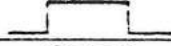
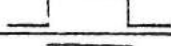
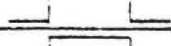
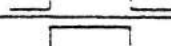
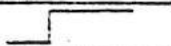
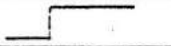
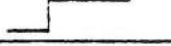
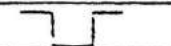
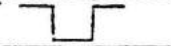
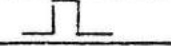
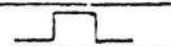
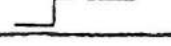




STECKERBELEGUNGSLISTE

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5V			
02	0V			
03	+ 12V			
04	0V			
05	- 12V			
06	0V			
07	M1		Machine Cycle One	
08	SR/KOMBI		Freigabe Speicher/Interface	
09	ADR 0		Adreß-Bit 0	
10	ADR 1		Adreß-Bit 1	
11	ADR 2		Adreß-Bit 2	
12	ADR 3		Adreß-Bit 3	
13	ADR 4		Adreß-Bit 4	
14	ADR 5		Adreß-Bit 5	
15	ADR 6		Adreß-Bit 6	
16	ADR 7		Adreß-Bit 7	
17	ADR 8		Adreß-Bit 8	
18	ADR 9		Adreß-Bit 9	
19	ADR 10		Adreß-Bit 10	
20	ADR 11		Adreß-Bit 11	
21	ADR 12		Adreß-Bit 12	
22	ADR 13		Adreß-Bit 13	
23	ADR 14		Adreß-Bit 14	
24	ADR 15		Adreß-Bit 15	
25	DAT 0		Daten-Bit 0	
26	DAT 1		Daten-Bit 1	
27	DAT 2		Daten-Bit 2	
28	DAT 3		Daten-Bit 3	
29	DAT 4		Daten-Bit 4	
30	DAT 5		Daten-Bit 5	
31	DAT 6		Daten-Bit 6	
32	DAT 7		Daten-Bit 7	

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
33	+ 5V			
34	0V			
35	+ 12V			
36	0V			
37	- 12V			
38	0V			
39				
40				
41	$\overline{\text{MEMR}}$		Memory Read	
42	$\overline{\text{MEMW}}$		Memory Write	
43	$\overline{\text{IOR}}$		IN/OUT Read	
44	$\overline{\text{IOW}}$		IN/OUT Write	
45				
46				
47	$\overline{\text{RST}}$		Reset intern	
48				
49				
50				
51				
52				
53				
54	IORQ		Input/Output Request	
55	MREQ		Memory Request	
56				
57				
58				
59				
60				
61				
62	$\text{INT } \emptyset$		External Interrupt $\emptyset$	
63				
64				

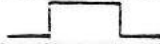
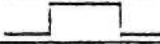
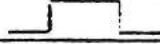
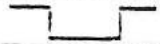
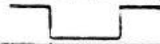
PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
65	M Ø		Matrix Scan Ausgang Ø	
66	M 1		Matrix Scan Ausgang 1	
67	M 2		Matrix Scan Ausgang 2	
68	M 3		Matrix Scan Ausgang 3	
69	M 4		Matrix Scan Ausgang 4	
70	M 5		Matrix Scan Ausgang 5	
71	M 6		Matrix Scan Ausgang 6	
72	RL		Tastatur Rückleitung	
73				
74	STAT 2		Statussignal 2	
75	STAT 1		Statussignal 1	
76	STAT Ø		Statussignal Ø	
77				
78				
79				
80				
81				
82				
83	HSYN		Zeilenimpuls	
84	VSYN		Bildimpuls	
85	CSYN		Composite Synchronisier Signal	
86	Video		Video Signal	
87				
88				
89				
90				
91				
92	QT		Quarztakt	
93				
94	LED		Lampenansteuerung	
95	KCL		Key Clock	
96	Hupe		Hupe	

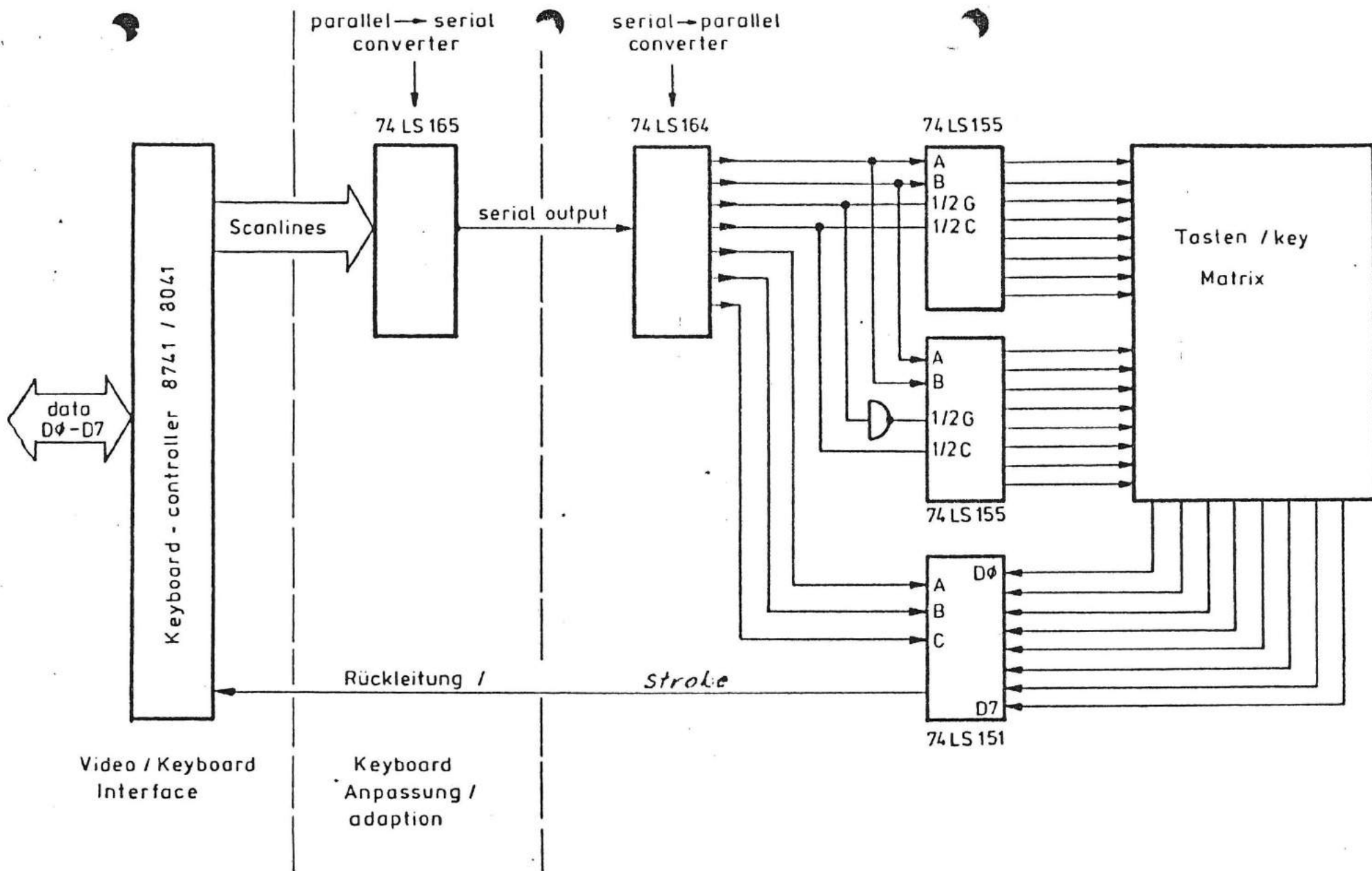
TASTATUR-ANPASSUNG

Die Tastatur-Anpassung dient zur Parallel-Seriell-Wandlung der sieben SCAN-Adressen des Bausteins 8278 im Kombi-Interface.

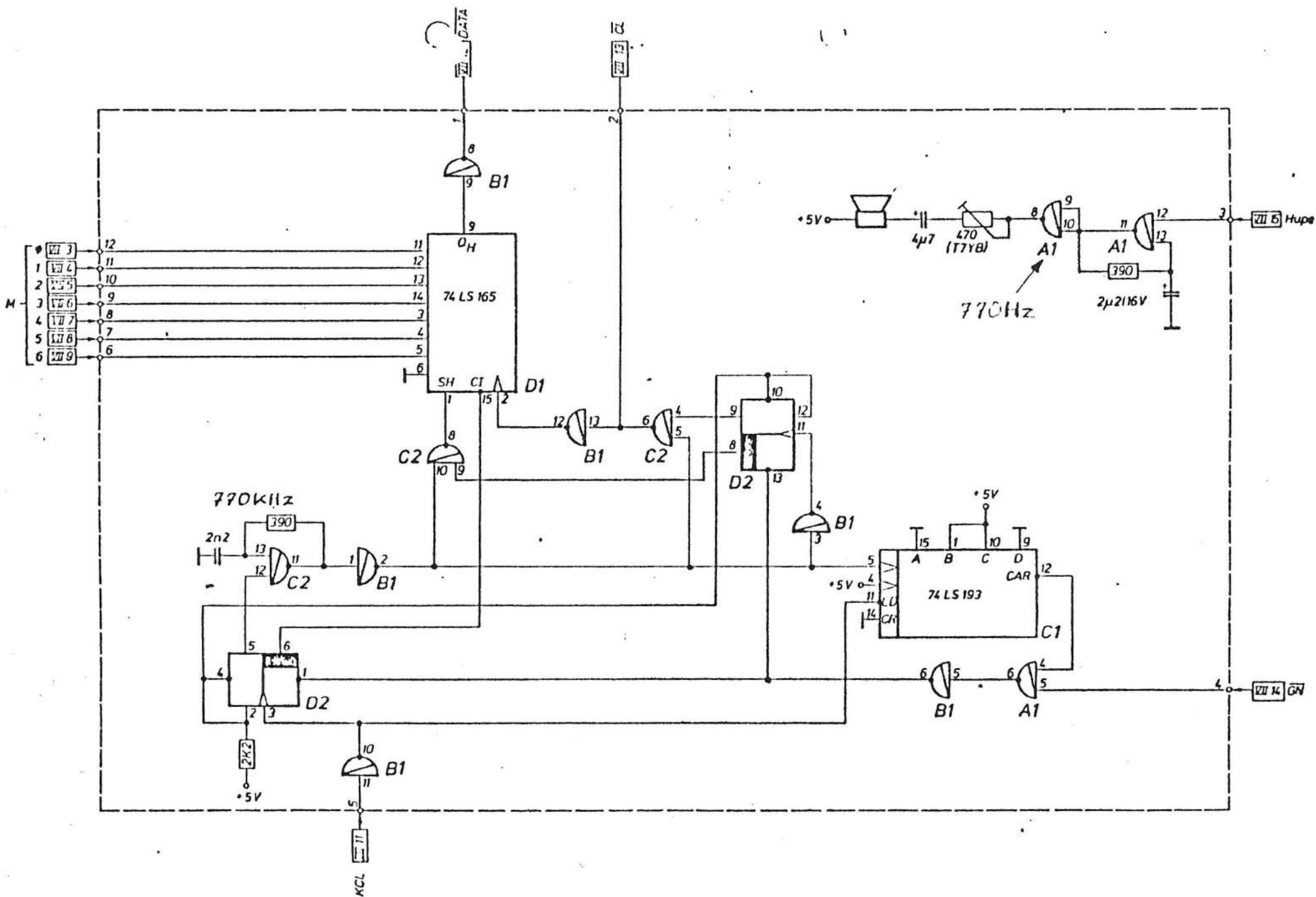
Als Startsignal dient KCL, das vom 8278 erzeugt wird. Ein Zähler 74 LS 193 wird damit auf den Wert "6" geladen und gleichzeitig ein Oszillator (770 KHz) gestartet. Der erste Takt übernimmt die parallel anstehende Information am 74 LS 165 und kippt mit seiner Rückflanke ein Flip-Flop, so daß die nächsten 8 Takte die geladene Information seriell herauschieben. Nach diesen 9 Takten stoppt der Zähler beim Übergang von 15 nach 0 den Oszillator durch das Zurücksetzen des FF D2. Mit dem nächsten KCL-Signal läuft der Vorgang von vorne ab.

Ein zweiter Oszillator dient zum Ansteuern einer Hupe. Dieses Signal wird per Software vom Kombi-Interface erzeugt.

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5 V			
02	OV			
03	M0		Matrix Scan Ausgang 0	
04	M1		Matrix Scan Ausgang 1	
05	M2		Matrix Scan Ausgang 2	
06	M3		Matrix Scan Ausgang 3	
07	M4		Matrix Scan Ausgang 4	
08	M5		Matrix Scan Ausgang 5	
09	M6		Matrix Scan Ausgang 6	
10				
11	KCL		Key Clock	
12	DATA		Serielle Daten (M0-M6)	
13	CL		Takt-Schieberegister	
14	CN		General Null	
15	Hupe		Hupe	



Tastatur - Abfrage ITT 3030
 Keyboard-scanning ITT 3030



Monitor-Adapter

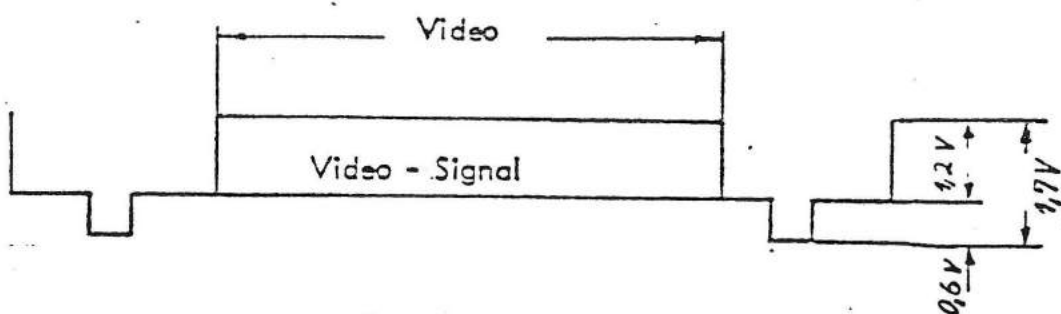


CSYNC		Composite-Synchronisier-Signal
Video		Video-Signal
$\overline{QT}$		Quarztakt
STAT $\emptyset$		Statussignal $\emptyset$
STAT 1		Statussignal 1
STAT 2		Statussignal 2
BAS		Bildaustastynchronisierungssignal

1. Stromversorgung: $+ 5V \leq 30 \text{ mA}$

2. Zeitzentrale: $12,8112 \text{ MHz} \pm 10^{-4}$

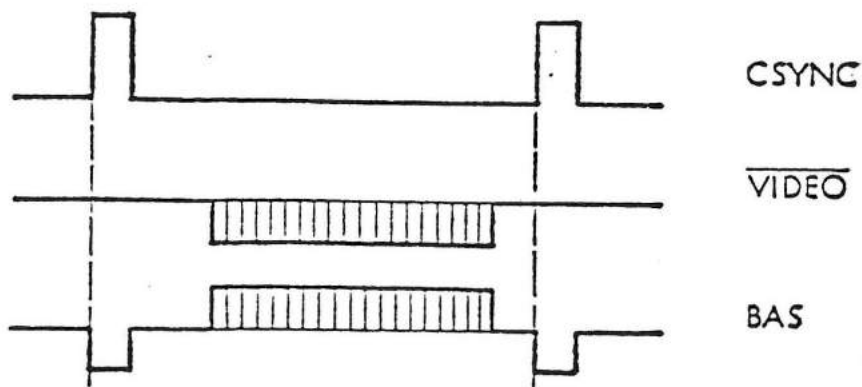
3. Spezifikation BAS-Signal (Leerlauf)



Die Ausgangsspannung des BAS-Signals ist durch Festwiderstände eingestellt auf 1,7 Vss. Dabei ergibt sich folgende Amplituden-Aufteilung:

0 - 0,6 V Synchronsignal $\pm 15 \%$

0,6 - 1,7 V Video-Signal $\pm 15 \%$



Die Baugruppe CPU V basiert auf dem Mikroprozessor Z 80 A und unterteilt sich in folgende Funktionsblöcke:

1. Prozessor
2. Promspeicher
3. Wait-Logik, Reset-Logik
4. Serielle Schnittstelle (Kombo-Chip)
5. Adreßlogik

1. Prozessor

Der Mikroprozessor Z 80 A arbeitet mit einem Takt von 4,194 MHz. Durch eine spezielle Schaltung wird gewährleistet, daß die Anstiegszeiten und Abfallzeiten der Taktflanke kleiner 30 Nanosekunden sind. Eine interne Reset-Logik (R-C Glied 56KR/10 μ F) bringt den Prozessor nach dem Einschalten der Spannung in Grundstellung. Die 16 Bit Adresse werden über Treiber (LS 240) auf den A- und B-Stecker geführt. Über ein zusätzliches Register werden aus den Daten die Adreßbits 16 bis 19 generiert. Der Datenbus geht über einen bidirektionalen Treiber (LS 640) zum Stecker. Ein Dekoder erzeugt aus den Signalen RD, WR, IORQ und MREQ die Schreib- Lese-Signale für Speicher und Peripherie.

2. Promspeicher

Auf der CPU-Karte ist ein Sockel vorgesehen für die Aufnahme eines 2K x 8 Prom vom Typ 2716. Die Verknüpfung der Signale RD und MREQ erzeugen einen Chipenable. Die Leitung CS Prom vom Dekoder C1 gibt die Daten des Proms auf den Datenbus.

3. Wait-Logik, Reset-Logik

Es gibt drei Arten des Prozessorzugriffs:

- a) OP-Code lesen
- b) Speicher schreiben oder lesen
- c) I/O schreiben oder lesen

Für jeden dieser Zugriffe ist ein Wait-Zyklus einschaltbar. Die Flip-Flops E5 und F5 erzeugen synchronisiert mit dem Takt $\emptyset$ einen Puls von der Länge eines Taktzyklus, der dem Prozessor am Wait-Eingang zugeführt wird.

Die Reset-Logik übernimmt die Synchronisierung eines externen Resetsignals mit dem Signal M1. Dies ist notwendig, damit ein Auffrischen von dynamischen Rams nicht unterbrochen wird.

4. Serielle Schnittstelle

Der Kombo-Chip vom Typ 3886 enthält außer einem Ramspeicher von 256 Byte einen seriellen Sende- und Empfangskanal. Der Takt für den Kombochip ist der Prozessortakt geteilt durch 2. Über einen internen Zähler wird die Baudrate für die serielle Übertragung eingestellt. Über Treiber und Empfänger nach RS 232 Spezifikation ist die serielle Steuereinheit mit dem Stecker verbunden. Mit dem Register A2 (LS 175) werden zwei Steuersignale (DTR, RTS) erzeugt. Über Tri-State-Treiber (LS 240) werden die ankommenden Steuersignale (DSR, CTS) auf den Datenbus geführt.

5. Adreßlogik

Die Adreßlogik der CPU V steuert, in Abhängigkeit der Adreßbits 14, 15 und 19, die Zugriffe auf den internen bzw. externen Speicher. Der Dekoder C1 (LS 138) ist dann aktiv, wenn über Adreßbit 19 die Seite 8 (intern) angewählt ist. Die Bits A12, A13 erzeugen die Chipselekt's für Ram und Prom, sowie das Signal SR/Kombi. Um aus der Seite 8 auf den Hauptspeicher zugreifen zu können, wird bei der Adresse größer $C000_H$ der Datenbustreiber H1 freigegeben, der ansonsten über die Adreßlogik, wenn A19 aktiv ist, gesperrt ist.

Ebenso gibt das Signal IORQ und das Signal SR/Kombi den Bustreiber frei. Die Adressen A14, A15 und A19 erzeugen über das Gatter D5 ein Speichersperrsignal (VERR), das in der internen Seite bei Adressen kleiner $C000_H$ aktiv ist. Eine Adreßdekodierung (Gatter D3) erzeugt die Steuersignale für die internen Register und den Kombochip.

Adreßbelegung I/O:

Ausgabe

<u>1 1 1 1</u>	0 0 0 0 -	CS $\emptyset$	<u>1 1 1 0 0 0 0 0</u> -	CS I/O Combo
	0 0 0 1 -	CS1		
F	0 0 1 0 -	CS2	E	
	0 0 1 1 -	CSV24		
	0 1 1 0 -	CSPage		

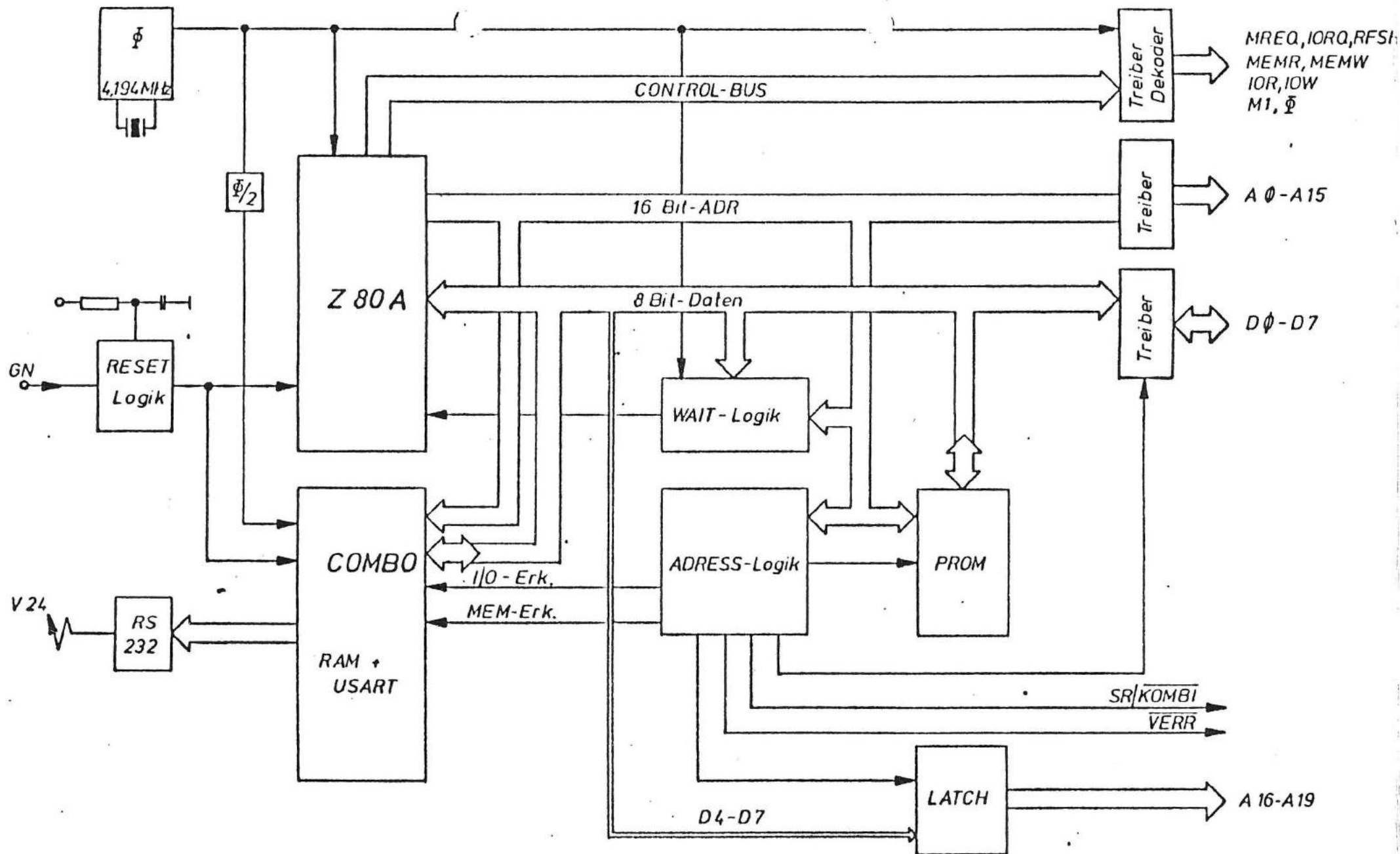
CS $\emptyset$ → Waitzyklus OP-Code	}	D $\emptyset$ = $\emptyset$ Wait aus
CS1 → Waitzyklus Memory		D $\emptyset$ = 1 Wait ein
CS2 → Waitzyklus I/O		

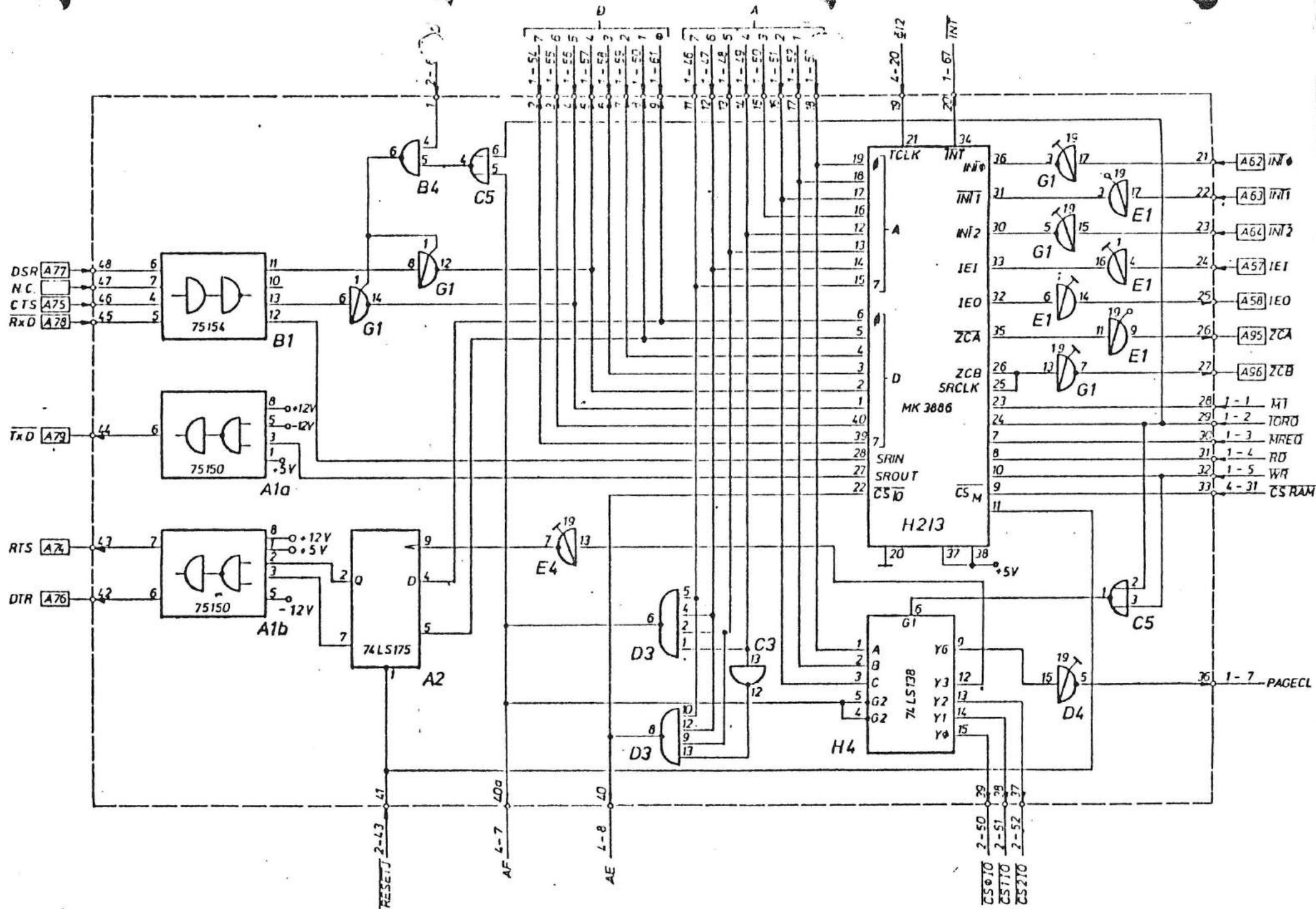
CSV24: D $\emptyset$ → RTS
D1 → DTR

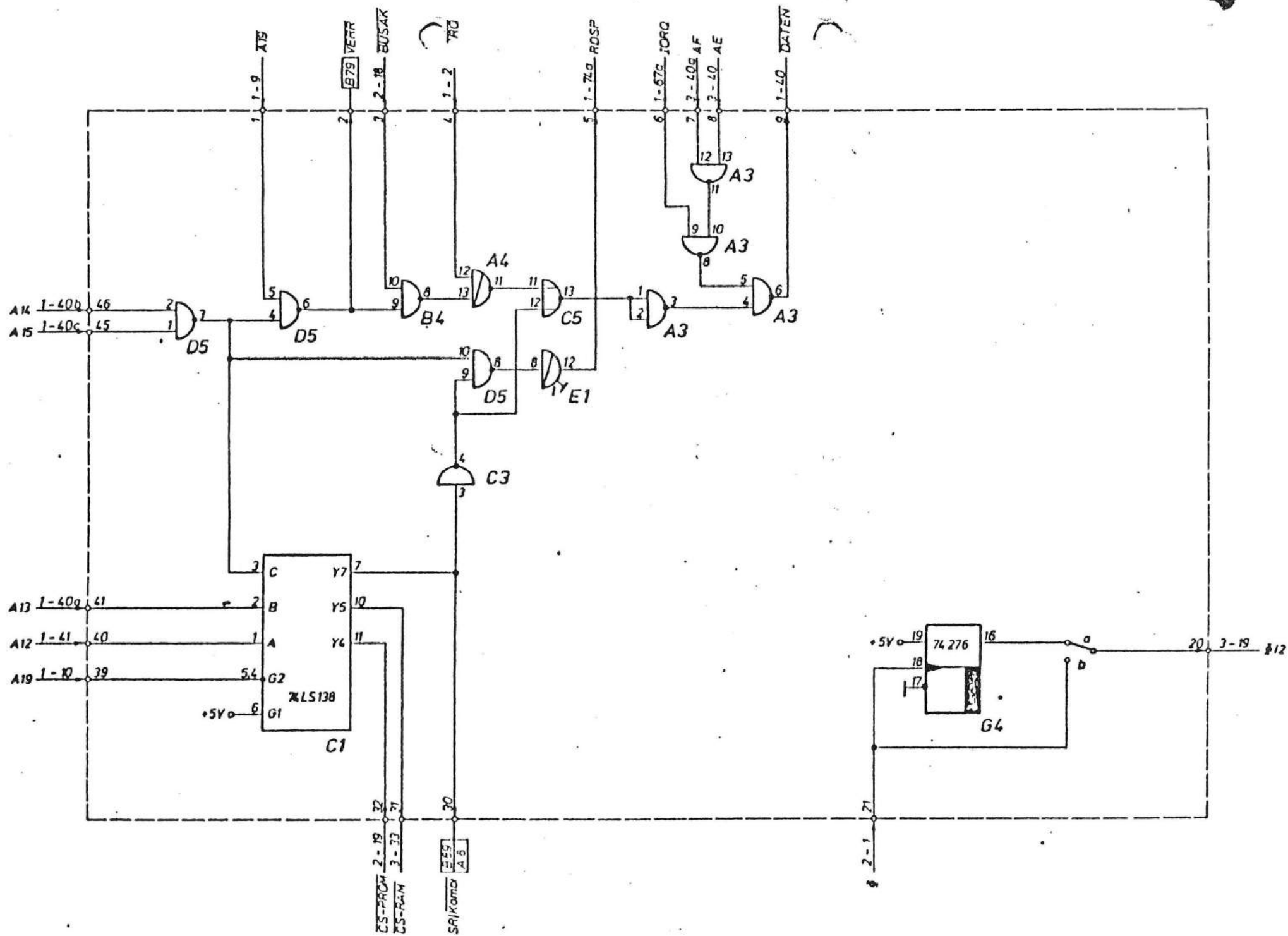
CSPage: D7 → Adreßbit 16
D6 → Adreßbit 17
D5 → Adreßbit 18
D4 → Adreßbit 19

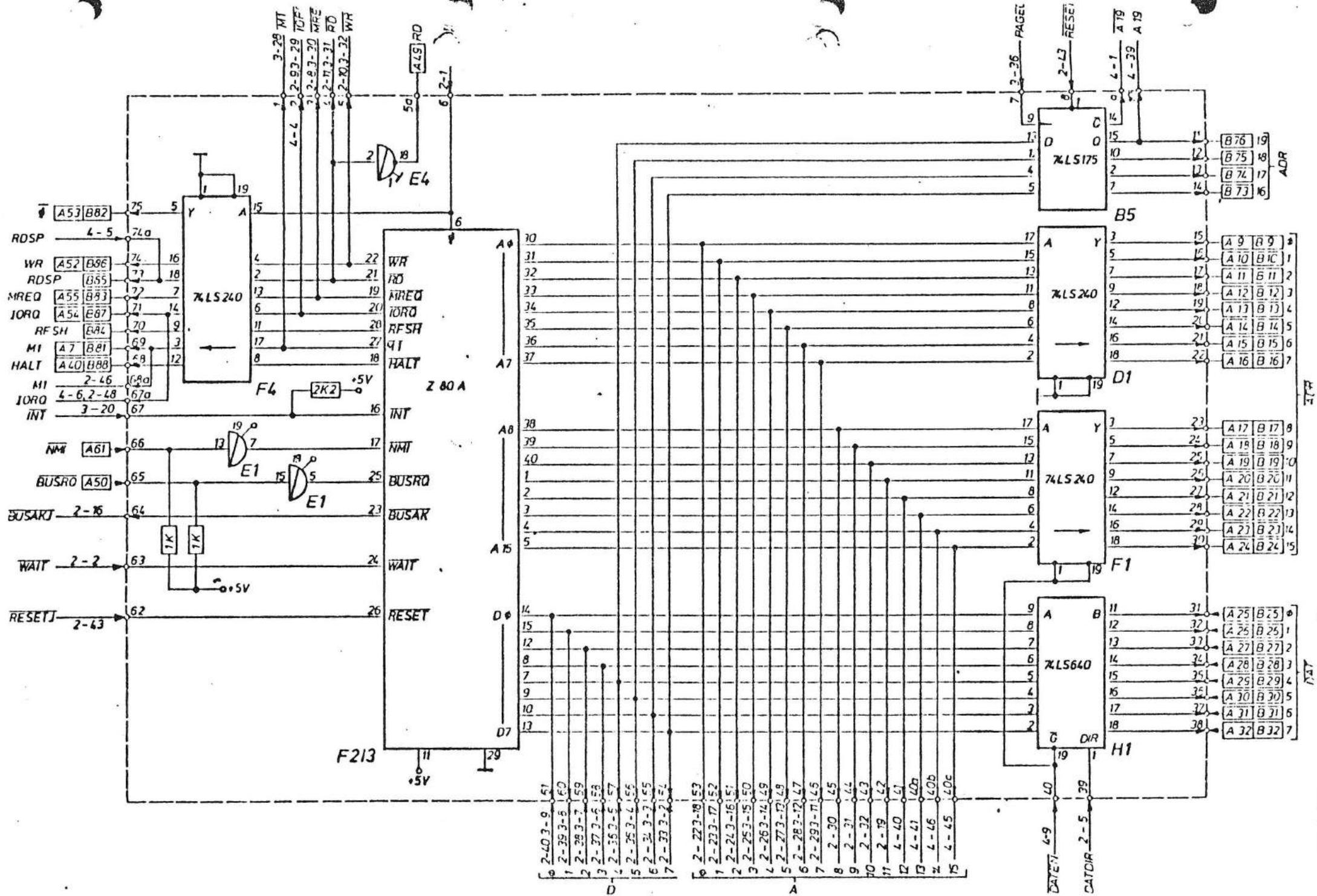
Eingabe F $\emptyset_H$: D4 → DSR
D5 → CTS

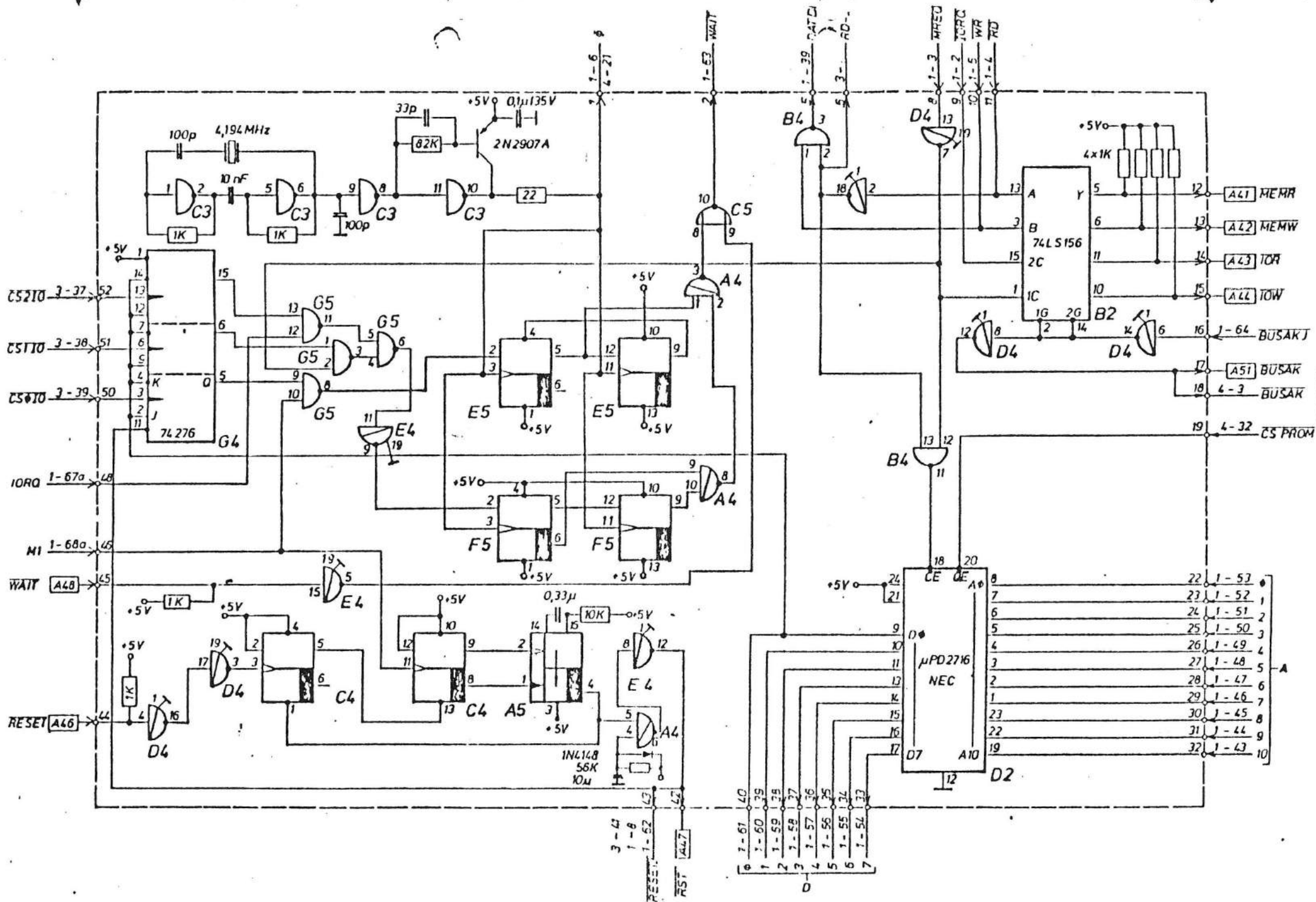
Adresse $\emptyset \emptyset \emptyset \emptyset$: Prom (2K x 8)
Adresse 1 $\emptyset \emptyset \emptyset$: RAM (256 x 8 Combo)
Adresse 3 $\emptyset \emptyset \emptyset$: Kombi (Bildspeicher)

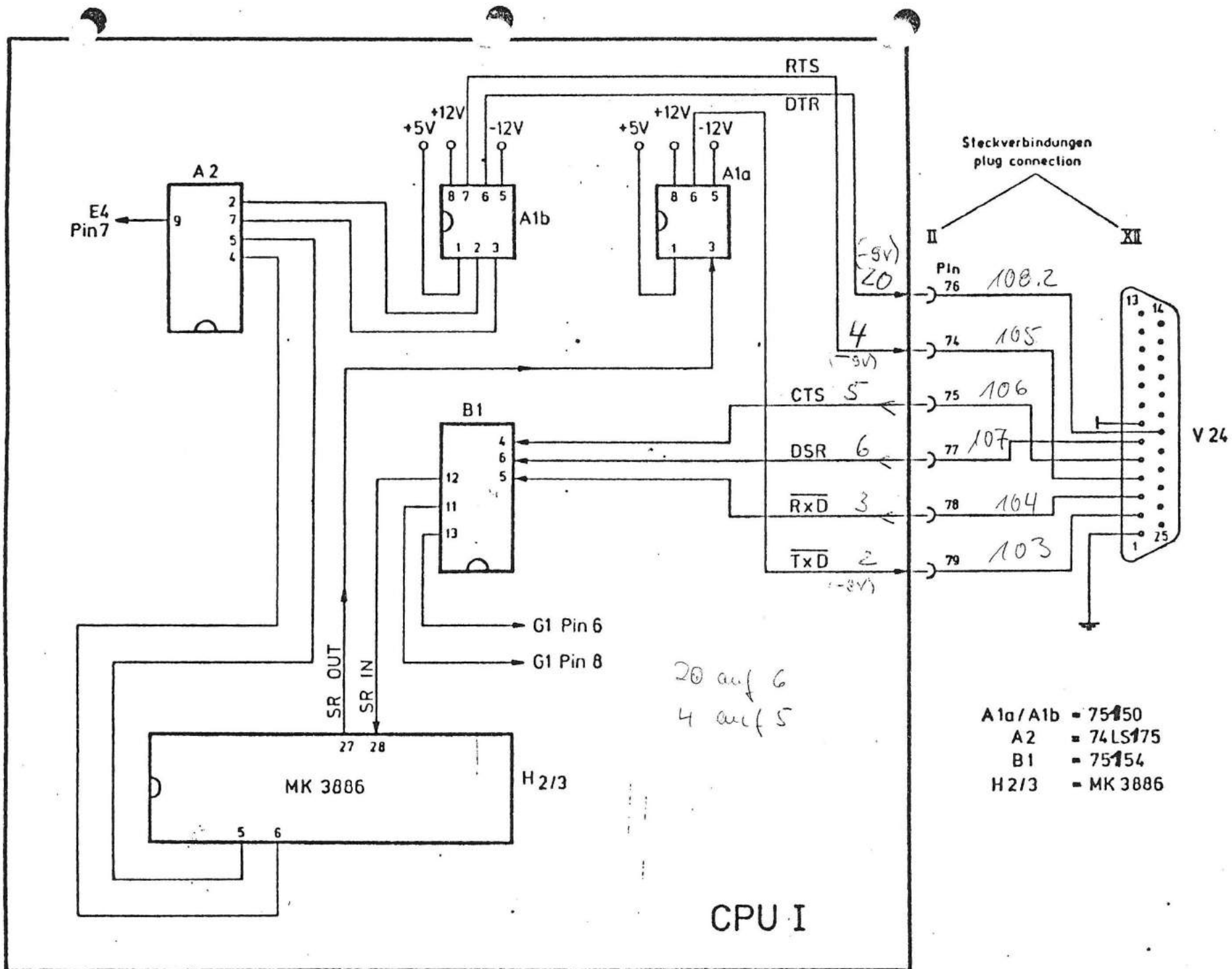






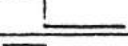
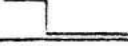
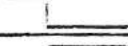
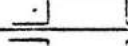
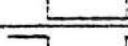
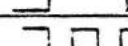
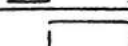
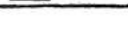
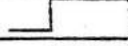
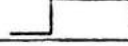
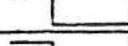
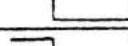
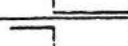


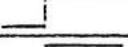
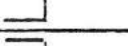
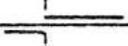
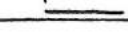




STECKERBELEGUNGSLISTE

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5V			
02	0V			
03	+ 12V			
04	0V			
05	- 12V			
06	0V			
07				
08				
09	ADR 0		Adreß-Bit 0	
10	ADR 1		Adreß-Bit 1	
11	ADR 2		Adreß-Bit 2	
12	ADR 3		Adreß-Bit 3	
13	ADR 4		Adreß-Bit 4	
14	ADR 5		Adreß-Bit 5	
15	ADR 6		Adreß-Bit 6	
16	ADR 7		Adreß-Bit 7	
17	ADR 8		Adreß-Bit 8	
18	ADR 9		Adreß-Bit 9	
19	ADR 10		Adreß-Bit 10	
20	ADR 11		Adreß-Bit 11	
21	ADR 12		Adreß-Bit 12	
22	ADR 13		Adreß-Bit 13	
23	ADR 14		Adreß-Bit 14	
24	ADR 15		Adreß-Bit 15	
25	DAT 0		Daten-Bit 0	
26	DAT 1		Daten-Bit 1	
27	DAT 2		Daten-Bit 2	
28	DAT 3		Daten-Bit 3	
29	DAT 4		Daten-Bit 4	
30	DAT 5		Daten-Bit 5	
31	DAT 6		Daten-Bit 6	
32	DAT 7		Daten-Bit 7	

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
33	+ 5V			
34	0V			
35	+ 12V			
36	0V			
37	- 12V			
38	0V			
39				
40	HALT		Halt state	
41	$\overline{\text{MEMR}}$		Memory Read	
42	$\overline{\text{MEMW}}$		Memory Write	
43	$\overline{\text{IOR}}$		In/Out Read	
44	$\overline{\text{IOW}}$		In/Out Write	
45				
46	$\overline{\text{Reset}}$		Reset	
47	$\overline{\text{RST}}$		Reset intern	
48	$\overline{\text{WAIT}}$		Wait	
49	$\overline{\text{RD}}$		Read	
50	$\overline{\text{BUSRQ}}$		Bus Request	
51	$\overline{\text{BUSAK}}$		Bus Acknowledge	
52	$\overline{\text{WR}}$		Write	
53	ϕ		Systemtakt	
54	$\overline{\text{IORQ}}$		Input/Output Request	
55	$\overline{\text{MREQ}}$		Memory Request	
56				
57	$\overline{\text{IEI}}$		Interrupt Enable In	
58	$\overline{\text{IEO}}$		Interrupt Enable Out	
59				
60				
61	$\overline{\text{NMI}}$		Non Maskable Interrupt	
62	$\overline{\text{INT } \phi}$		External Interrupt 0	
63	$\overline{\text{INT } 1}$		External Interrupt 1	
64	$\overline{\text{INT } 2}$		External Interrupt 2	

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
65	+ 5V			
66	0V			
67	+ 12V			
68	0V			
69	- 12V			
70	0V			
71				
72				
73				
74	RTS		Request to Send	
75	CTS		Clear to Send	
76	DTR		Data Terminal Ready	
77	DSR		Data Set Ready	
78	$\overline{\text{RxD}}$		Received Data	
79	$\overline{\text{TxD}}$		Transmitted Data	
80				
81				
82				
83				
84				
85				
86				
87				
88				
89				
90				
91				
92				
93				
94				
95	$\overline{\text{ZCA}}$		Zähler A' = Null	
96	$\overline{\text{ZCB}}$		Zähler B = Null	

Beschreibung 64K - RAM

Die Baugruppe 64K-RAM adaptiert über einen speziellen Stecker direkt die CPU.

An diesem Stecker sind nur die a- und c-Reihe belegt. Die a-Reihe entspricht dem MC 80-BUS, die c-Reihe beinhaltet die BUS-Steuersignale und spezielle Signale, die der Speicher benötigt.

Der 64K-RAM-Speicher ist in 4 Bänke à 16K organisiert. Die RAM's selbst sind 16K x 1 dyn. Chips mit 200 ns Zugriffszeit.

Am Adreßmultiplexer liegen die unteren 14 Bit Adressen an, aus denen die RAS- und CAS-Adresse erzeugt werden.

Nach Anlegen von MREQ und den Adressen 14 und 15 wird am Dekoder F2 eines von vier RAS-Signalen erzeugt und eine Hälfte der Adressen A0 - A13 als RAS-Adresse übernommen. Über 2 Flip-Flops (E1) wird ein Umschaltsignal (UMUX) erzeugt, das den Multiplexer auf die anderen 7 Bit umschaltet und danach über Gatter C1 den CAS-Strobe erzeugt.

Das Signal VERR sperrt die Adreßerkennung.

Das Signal RFSH startet den Auffrischungsvorgang über einen "RAS only Refresh"; es werden alle RAS-Signale aktiv und CAS gesperrt. Das Signal SR/ $\overline{\text{Kombi}}$ verhindert das Schreiben in den RAM, wenn der Bildspeicher angesprochen wird.

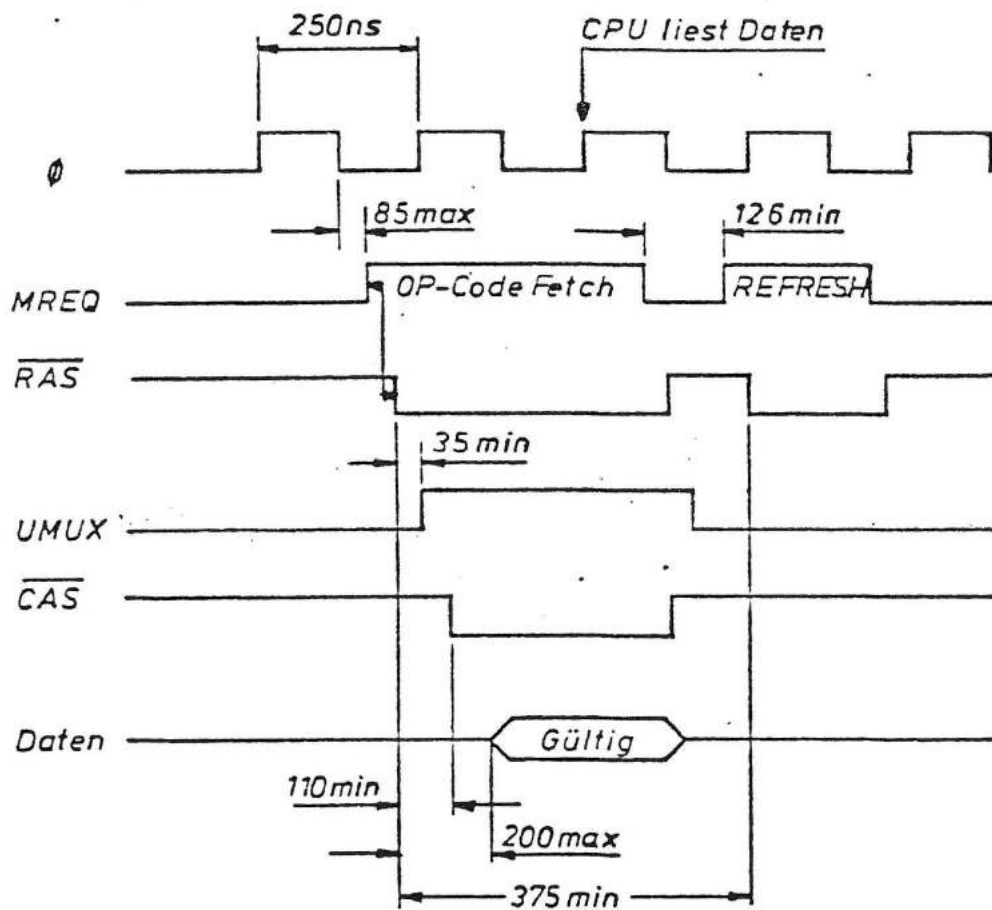
Die Auftrennung der Daten von bidirektionalen in den unidirektionalen BUS geschieht über zwei LS 240, die speziell geschaltet sind.

Das Refreshen erfolgt alle 2 ms in 128 Zyklen. Den Refreshzyklus steuert die CPU-280 selbständig. Zur Dämpfung von negativen Überschwüngen auf Grund der kapazitiven Belastung von 32 Chips sind verschiedene Signale mit 22 Ohm-Längswiderständen versehen.

1. Stromaufnahme:

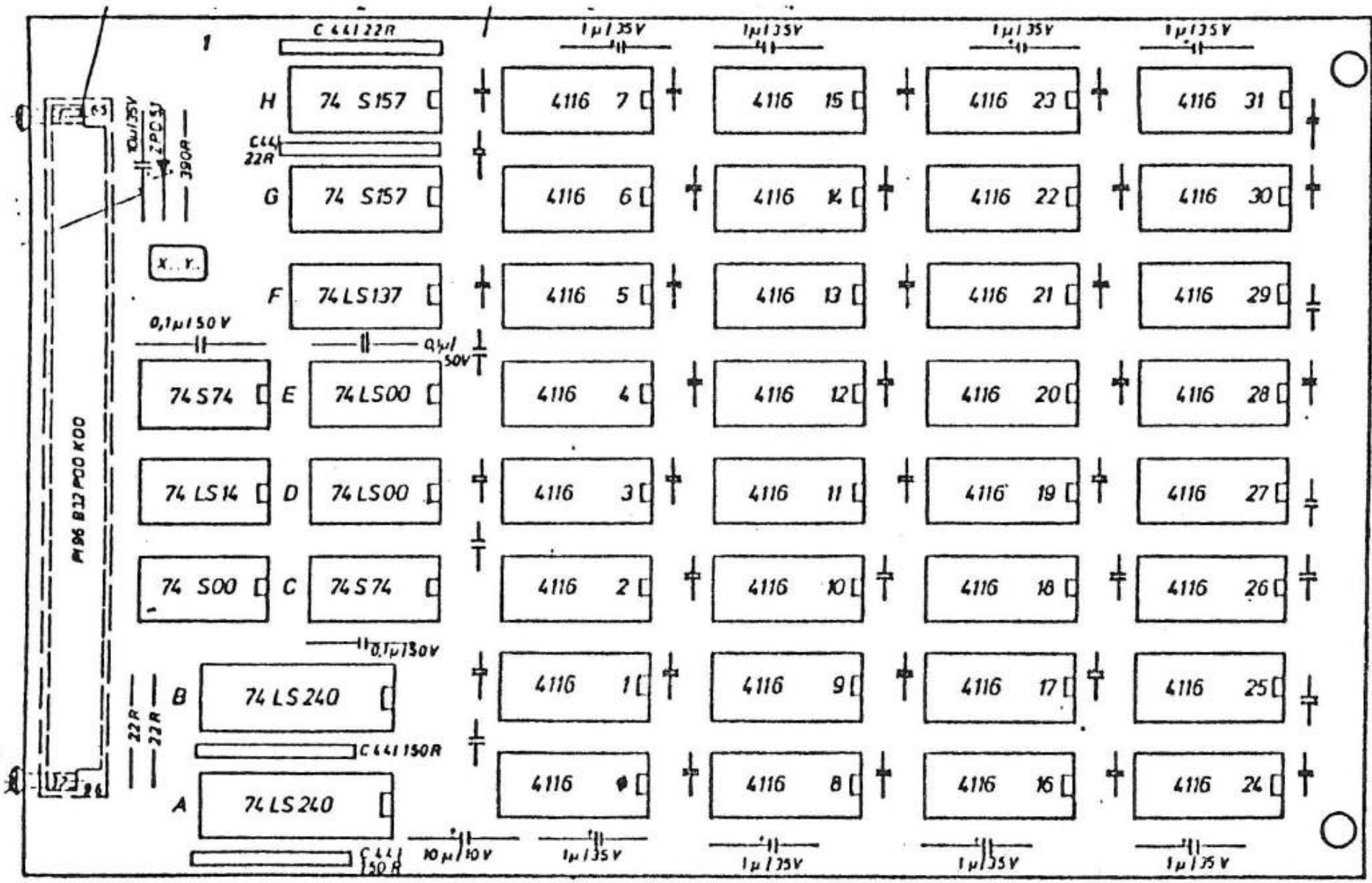
+ 5V $\pm$ 5 %: $\leq$ 300 mA
 + 12V $\pm$ 5 %: $\leq$ 200 mA
 - 12V $\pm$ 20 %: $\leq$ 50 mA (- 5V Erzeugung)

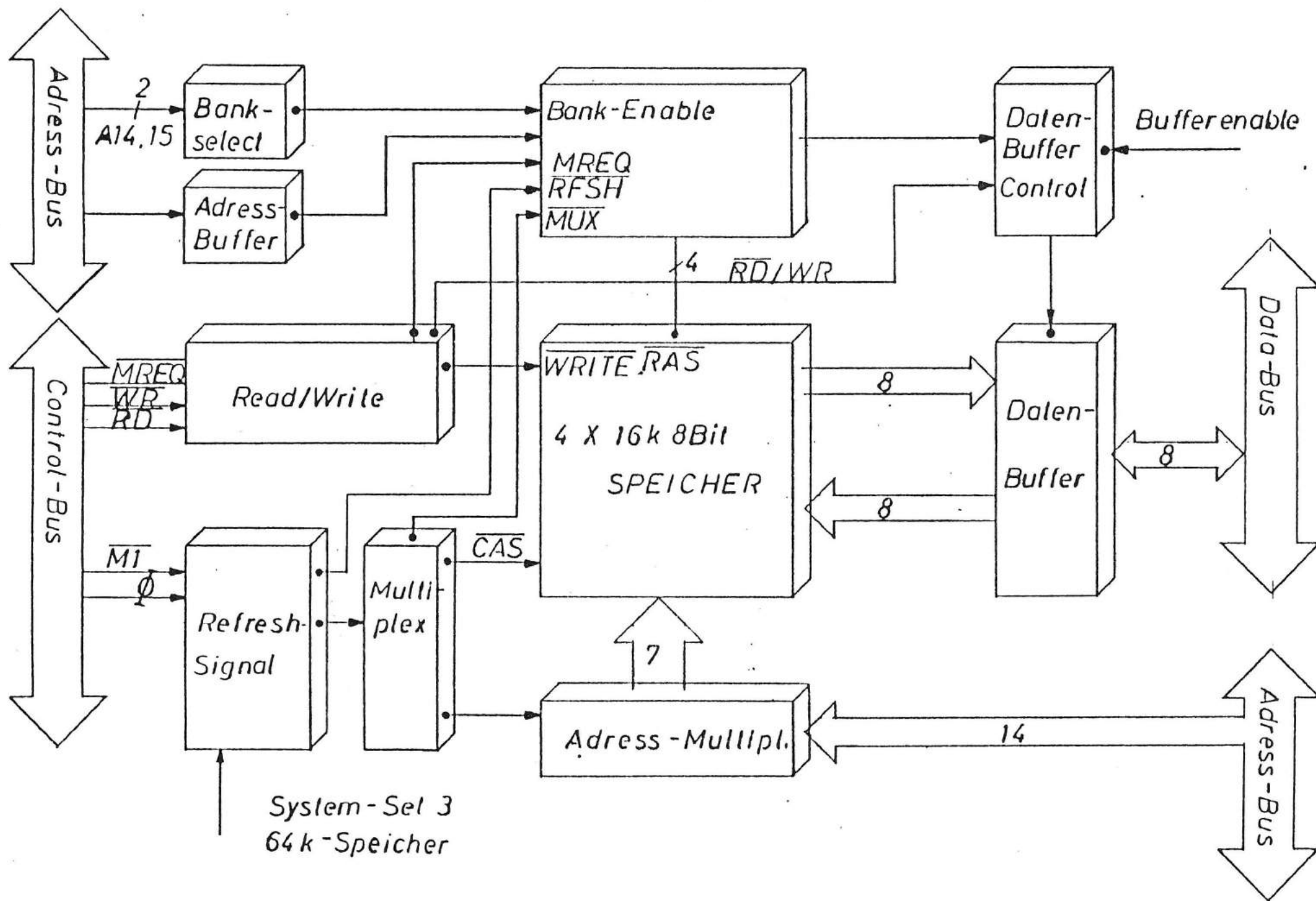
2. Timing RAS, CAS, UMUX

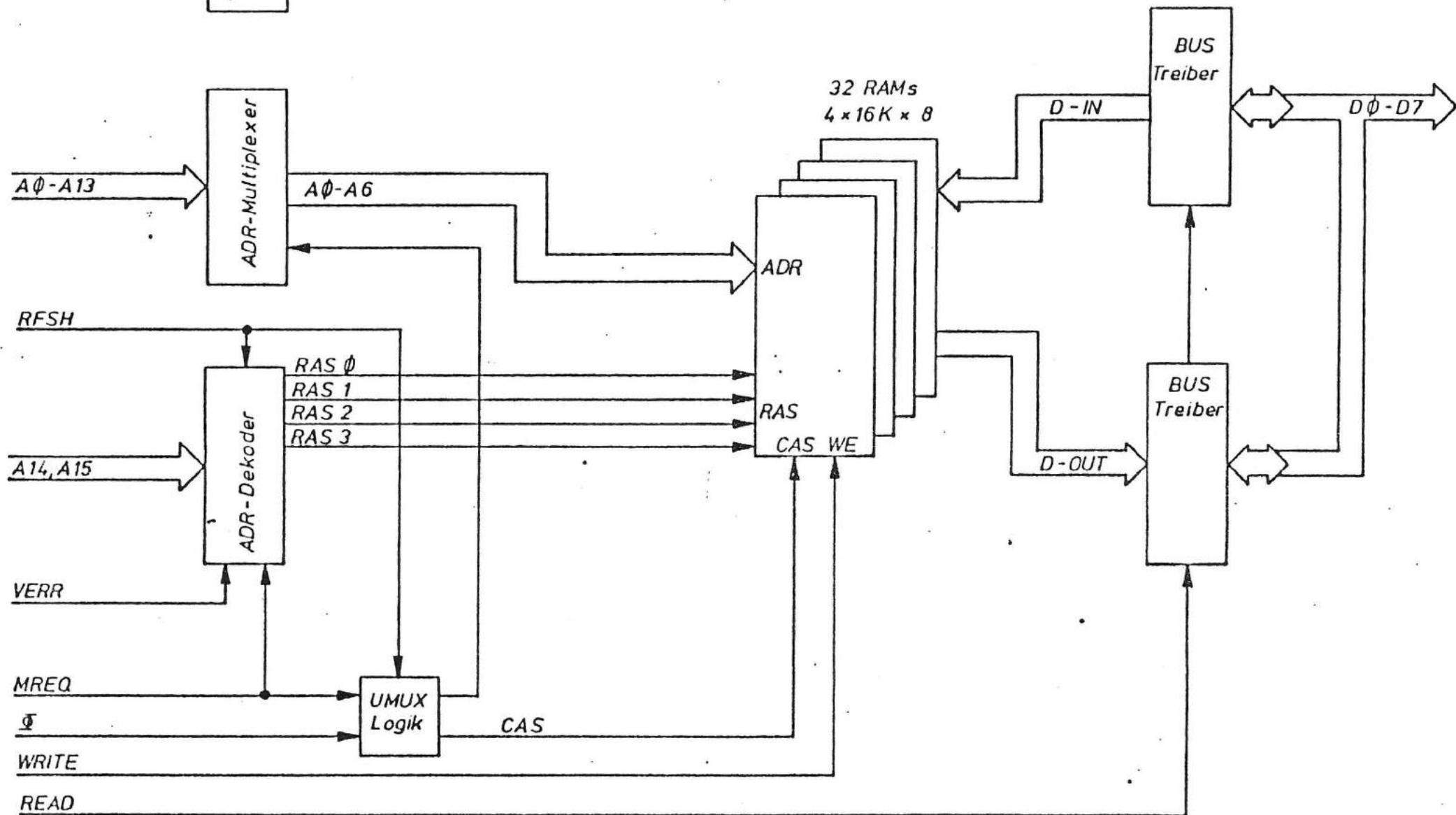
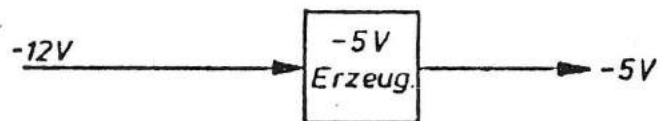


alle Zeiten in Nanosekunden

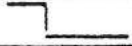
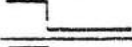
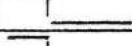
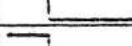
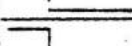
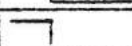
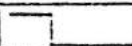
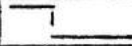
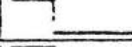
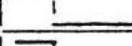
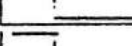
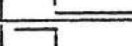
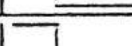
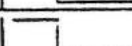
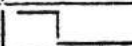
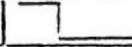
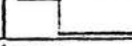
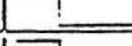
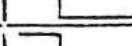
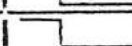
64 KB - Speicherzusatz

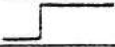
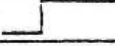
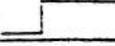
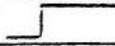
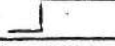
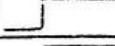
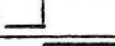
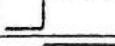
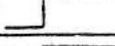
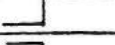
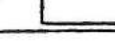






STECKERBELEGUNGSLISTE

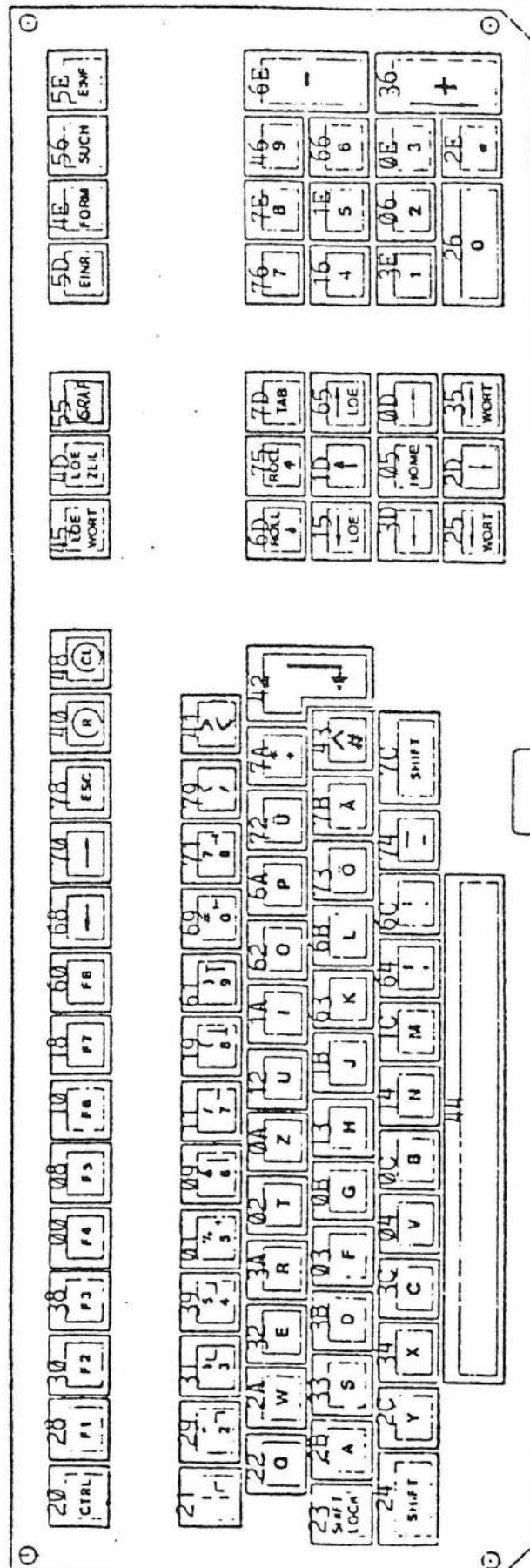
PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5V			
02	0V			
03	+ 12V			
04	0V			
05	- 12V			
06	0V			
07	M1		Machine Cycle one	
08	SR/KOMBI		Freigabe Speicher/Interface	
09	ADR 0		Adreß-Bit 0	
10	ADR 1		Adreß-Bit 1	
11	ADR 2		Adreß-Bit 2	
12	ADR 3		Adreß-Bit 3	
13	ADR 4		Adreß-Bit 4	
14	ADR 5		Adreß-Bit 5	
15	ADR 6		Adreß-Bit 6	
16	ADR 7		Adreß-Bit 7	
17	ADR 8		Adreß-Bit 8	
18	ADR 9		Adreß-Bit 9	
19	ADR 10		Adreß-Bit 10	
20	ADR 11		Adreß-Bit 11	
21	ADR 12		Adreß-Bit 12	
22	ADR 13		Adreß-Bit 13	
23	ADR 14		Adreß-Bit 14	
24	ADR 15		Adreß-Bit 15	
25	DAT 0		Daten-Bit 0	
26	DAT 1		Daten-Bit 1	
27	DAT 2		Daten-Bit 2	
28	DAT 3		Daten-Bit 3	
29	DAT 4		Daten-Bit 4	
30	DAT 5		Daten-Bit 5	
31	DAT 6		Daten-Bit 6	
32	DAT 7		Daten-Bit 7	

PIN	Bezeichnung	Diagramm	Erläuterungen	Statt Nr.
65	+ 5V			
66	0V			
67	+ 12V			
68	0V			
69	- 12V			
70	0V			
71				
72				
73	ADR 16		Adreß-Bit 16	
74	ADR 17		Adreß-Bit 17	
75	ADR 18		Adreß-Bit 18	
76	ADR 19		Adreß-Bit 19	
77				
78				
79	$\overline{VERR}$		Verriegelung Speicher	
80				
81	M1		Machine Cycle One	
82	$\emptyset$		Systemtakt	
83	MREQ		Memory Request	
84	RFSH		Refresh	
85	RDSP		Read-Speicher	
86	WR		Write	
87	IORQ		Input/Output Request	
88	HALT		Halt State	
89	SR/Kombi		Freigabe Speicher/Interface	

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

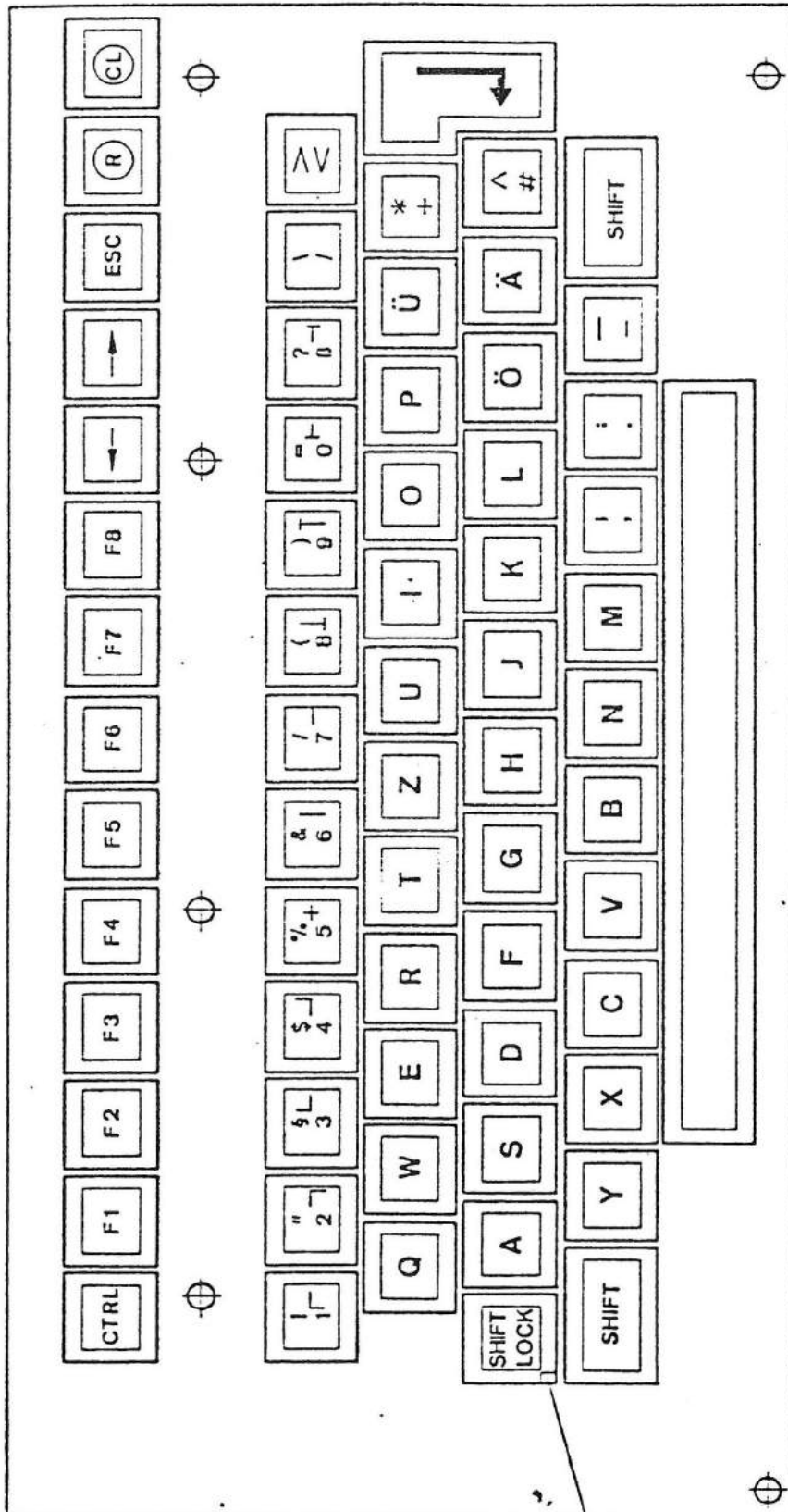
Matrix - Werte der Tasten



Technik der Welt **ITT**

ITT 3030

AUF WACHSTUM PROGRAMMIERT !



Technik der Welt **ITT**

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

11	12	13	14	15	16	17	18	19	110	111	112	113	114
	85	86	87	88	8A	8C	89	8B	81	82	1B		84
	85	86	87	88	8A	8C	89	8B	81	82	1B		84

21	22	23	24	25	26	27	28	29	210	211	212	213
41	42	A0	44	45	46	4F	48	49	5D	5F	E0	5E
51	52	53	54	55	56	57	58	59	50	FE	47	5C

31	32	33	34	35	36	37	38	39	310	311	312
B1	B7	A5	B2	B4	BA	B5	A9	AF	B0	BD	4A
F1	F7	E5	F2	F4	FA	F5	E9	EF	F0	FD	4B

41	42	43	44	45	46	47	48	49	410	411	412	413
	A1	B3	A4	A6	A7	A8	AA	AB	AC	BC	BB	BE
	E1	F3	E4	E6	E7	E8	EA	EB	EC	FC	FB	43

51	52	53	54	55	56	57	58	59	510	511	512
	B9	B8	A3	B6	A2	AE	AD	5B	5A	BF	
	F9	F8	E3	F6	E2	EE	ED	4C	4E	4D	

513	514	515
40	40	40
40	40	40

513	514	515
40	40	40
40	40	40

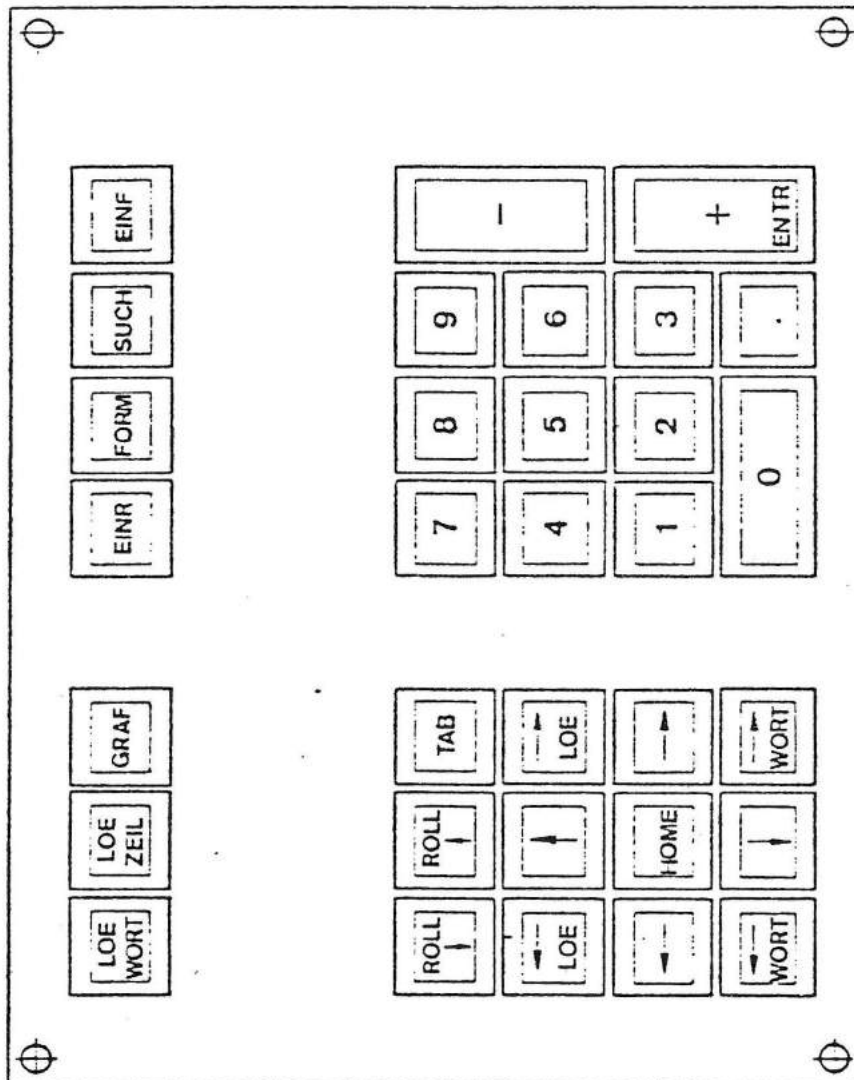
313	314	315
0D	0D	0D
0D	0D	0D



 Tastennummern
 Code (shift)
 Code (unshift)

ITT 3030

AUF WACHSTUM PROGRAMMIERT !



ITT 3030

AUF WACHSTUM PROGRAMMIERT !

616	714	715	716
8F	Ø2	8E	16
8F	Ø2	8E	16

613	614	615
14	19	8Ø
14	19	8Ø

711	712	713	710
57	58	59	4D
57	58	59	4D
77	78	79	
54	55	56	
54	55	56	
74	75	76	
51	52	53	
51	52	53	
71	72	73	
5Ø	4E	ØD	
5Ø	4E	ØD	

610	611	612
12	Ø3	Ø9
12	Ø3	Ø9
67	68	69
1F	Ø5	Ø7
1F	Ø5	Ø7
64	65	66
13	91	Ø4
13	91	Ø4
61	62	63
Ø1	18	Ø6
Ø1	18	Ø6

AUF WACHSTUM PROGRAMMIERT !



ITT 3030

AUF WACHSTUM PROGRAMMIERT !

11	12	13	14	15	16	17	18	19	110	111	112	113	114
	85	86	87	88	8A	8C	89	8B	81	82	1B		84
	85	86	87	88	8A	8C	89	8B	81	82	1B		84

21	22	23	24	25	26	27	28	29	210	211	212	213
41	42	43	44	45	46	4F	48	49	5D	5F	E0	FE
51	52	53	54	55	56	57	58	59	50	A0	47	FE

31	32	33	34	35	36	37	38	39	310	311	312
B1	B7	A5	B2	B4	B9	B5	A9	AF	B0	5E	4A
F1	F7	E5	F2	F4	F9	F5	E9	EF	F0	5C	4B

41	42	43	44	45	46	47	48	49	410	411	412	413
	A1	B3	A4	A6	A7	A8	AA	AB	AC	FB	FD	BE
	E1	F3	E4	E6	E7	E8	EA	EB	EC	BB	BD	BE

51	52	53	54	55	56	57	58	59	510	511	512
	BA	B8	A3	B6	A2	AE	AD	5B	5A	BF	
	FA	F8	E3	F6	E2	EE	ED	4C	4E	4D	

513	40	40
-----	----	----

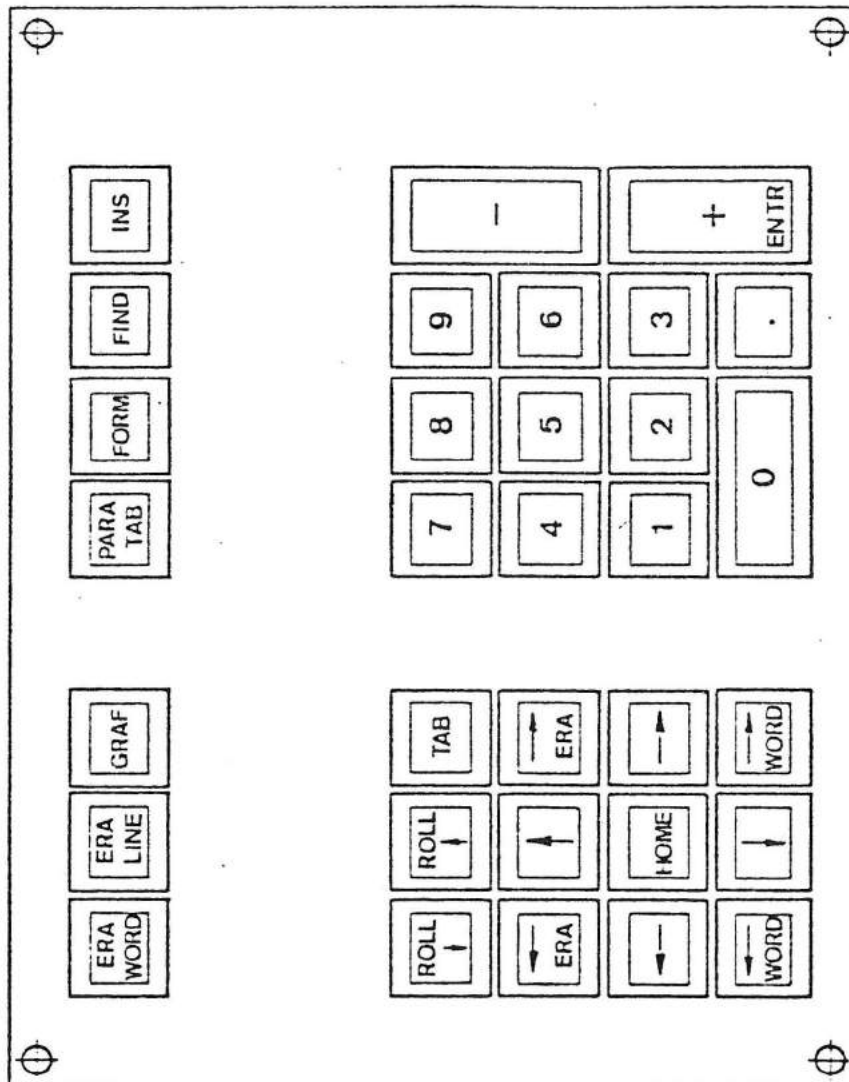
513	40	40
-----	----	----

313	00	00
-----	----	----

Taslennummern
 Code (shift)
 Code (unshift)

ITT 3030

AUF WACHSTUM PROGRAMMIERT !



ITT 3030

AUF WACHSTUM PROGRAMMIERT !

613	614	615	716	715	714	616	710	4D	4D	73	ØD	ØD
14	19	8Ø	16	8E	Ø2	8F	59	58	79	76	53	72
14	19	8Ø	16	8E	Ø2	8F	58	58	56	53	53	4E
610	611	612	711	712	713	57	57	58	56	53	53	4E
12	Ø3	Ø9	57	58	59	57	57	58	56	53	53	4E
12	Ø3	Ø9	57	58	59	57	57	58	56	53	53	4E
67	68	69	77	78	79	54	54	55	56	53	53	4E
1F	Ø5	Ø7	54	55	56	54	54	55	56	53	53	4E
1F	Ø5	Ø7	54	55	56	54	54	55	56	53	53	4E
64	65	66	74	75	76	51	51	52	56	53	53	4E
13	91	Ø4	51	52	53	51	51	52	56	53	53	4E
13	91	Ø4	51	52	53	51	51	52	56	53	53	4E
61	62	63	71	72	73	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø
Ø1	18	Ø6	5Ø	4E	ØD	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø
Ø1	18	Ø6	5Ø	4E	ØD	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø	5Ø

AUF WACHSTUM PROGRAMMIERT !



TIME

ITT 3030

AUF WACHSTUM PROGRAMMIERT I

11	12	13	14	15	16	17	18	19	110	111	112	113	114
85	85	86	87	88	8A	8C	89	8B	81	82	1B		84
		86	87	88	8A	8C	89	8B	81	82	1B		84

2.1	2.2	2.3	2.4	2.5	2.6	2.7	2.8	2.9	2.10	2.11	2.12	2.13
51	52	53	54	55	56	57	58	59	50	5B	5F	5E
46	FB	42	47	48	BD	FD	41	BC	A0	49	4D	5C

31	32	33	34	35	36	37	38	39	310	311	312
A1	BA	A5	B2	B4	B9	B5	A9	AF	B0	FE	4A
E1	FA	E5	F2	F4	F9	F5	E9	EF	F0	BE	44

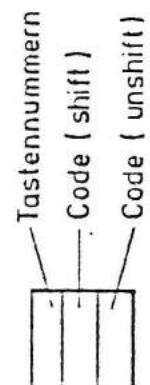
4.1	4.2	4.3	4.4	4.5	4.6	4.7	4.8	4.9	4.10	4.11	4.12	4.13
	B1	B3	A4	A6	A7	A8	AA	AB	AC	AD	45	43
	F1	F3	E4	E6	E7	E8	EA	EB	EC	ED	FC	43

5.1	5.2	5.3	5.4	5.5	5.6	5.7	5.8	5.9	5.10	5.11	5.12
	B7	B8	A3	B6	A2	AE	5F	4E	4F	4B	
	F7	F8	E3	F6	E2	EE	4C	5B	5A	5D	

5.13	40	40
------	----	----

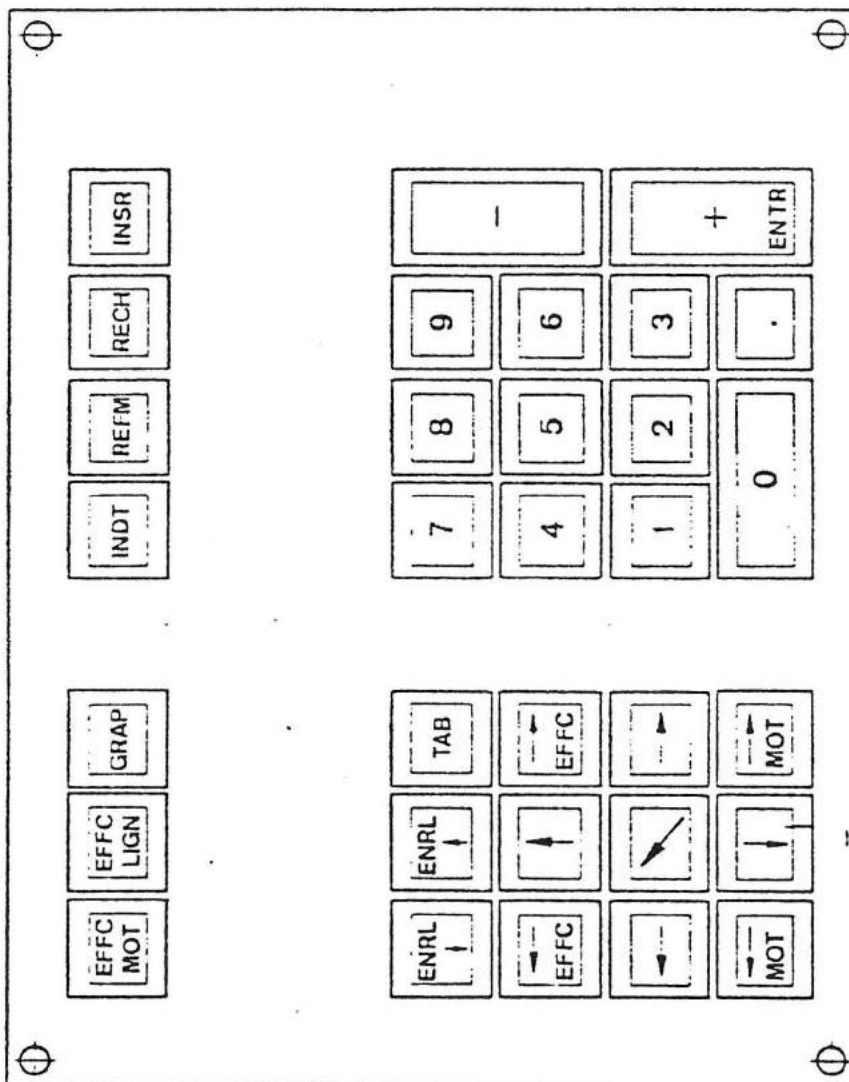
5.13	40	40
------	----	----

313	0D	0D
-----	----	----



ITT 3030

AUF WACHSTUM PROGRAMMIERT !



ITT 3030

AUF WACHSTUM PROGRAMMIERT !

616	714	715	716
8F	Ø2	8E	16
8F	Ø2	8E	16

613	614	615
14	19	8Ø
14	19	8Ø

711	712	713	710
57	58	59	4D
57	58	58	4D
77	78	79	
54	55	56	
54	55	56	
74	75	76	73
51	52	53	ØD
51	52	53	ØD
71	72	73	
5Ø	4E		
5Ø	4E		

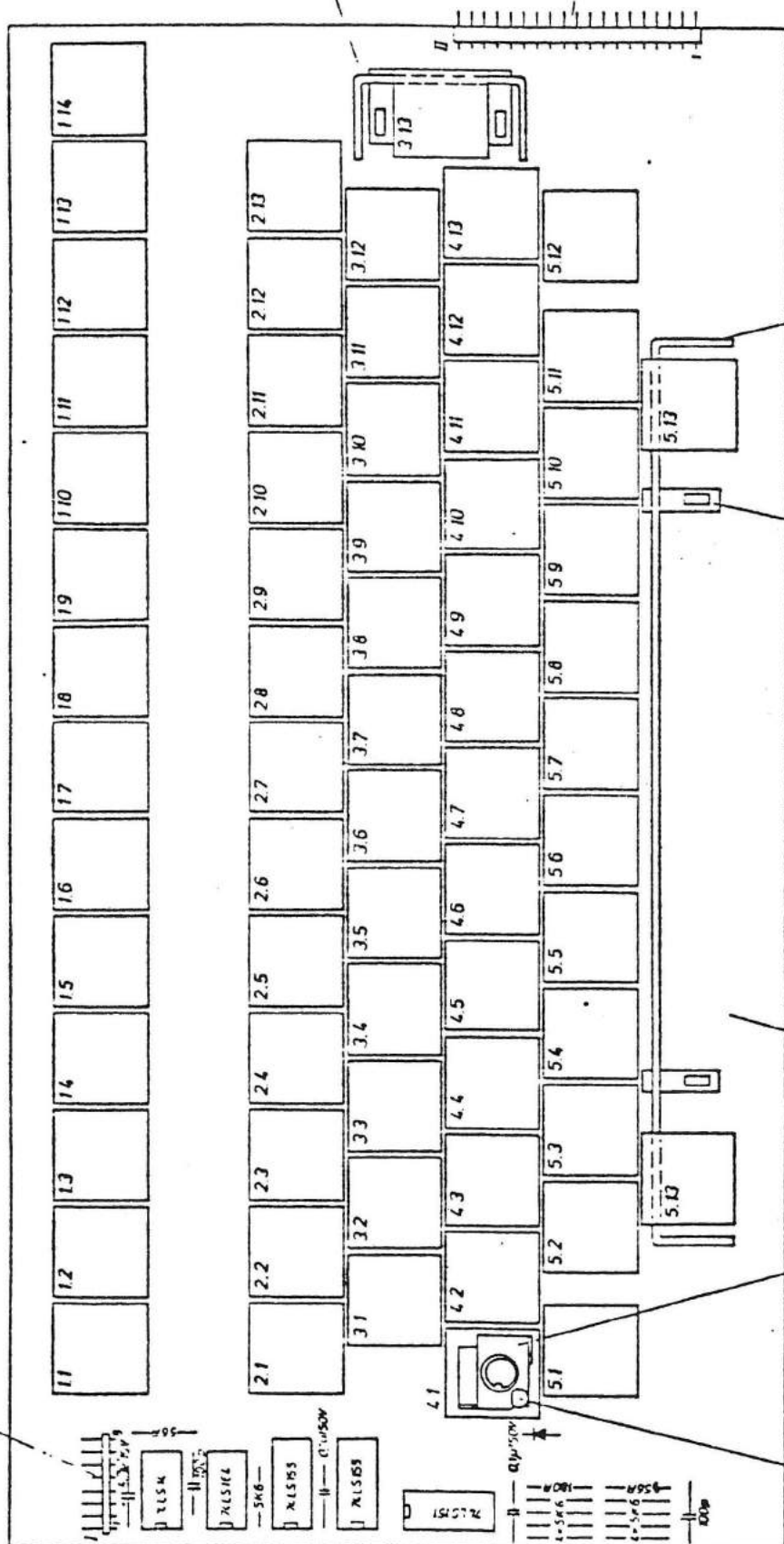
610	611	612
12	Ø3	Ø9
12	Ø3	Ø9
67	68	69
1F	Ø5	Ø7
1F	Ø5	Ø7
64	65	66
13	91	Ø4
13	91	Ø4
61	62	63
Ø1	18	Ø6
Ø1	18	Ø6

Technik der Welt

ITT

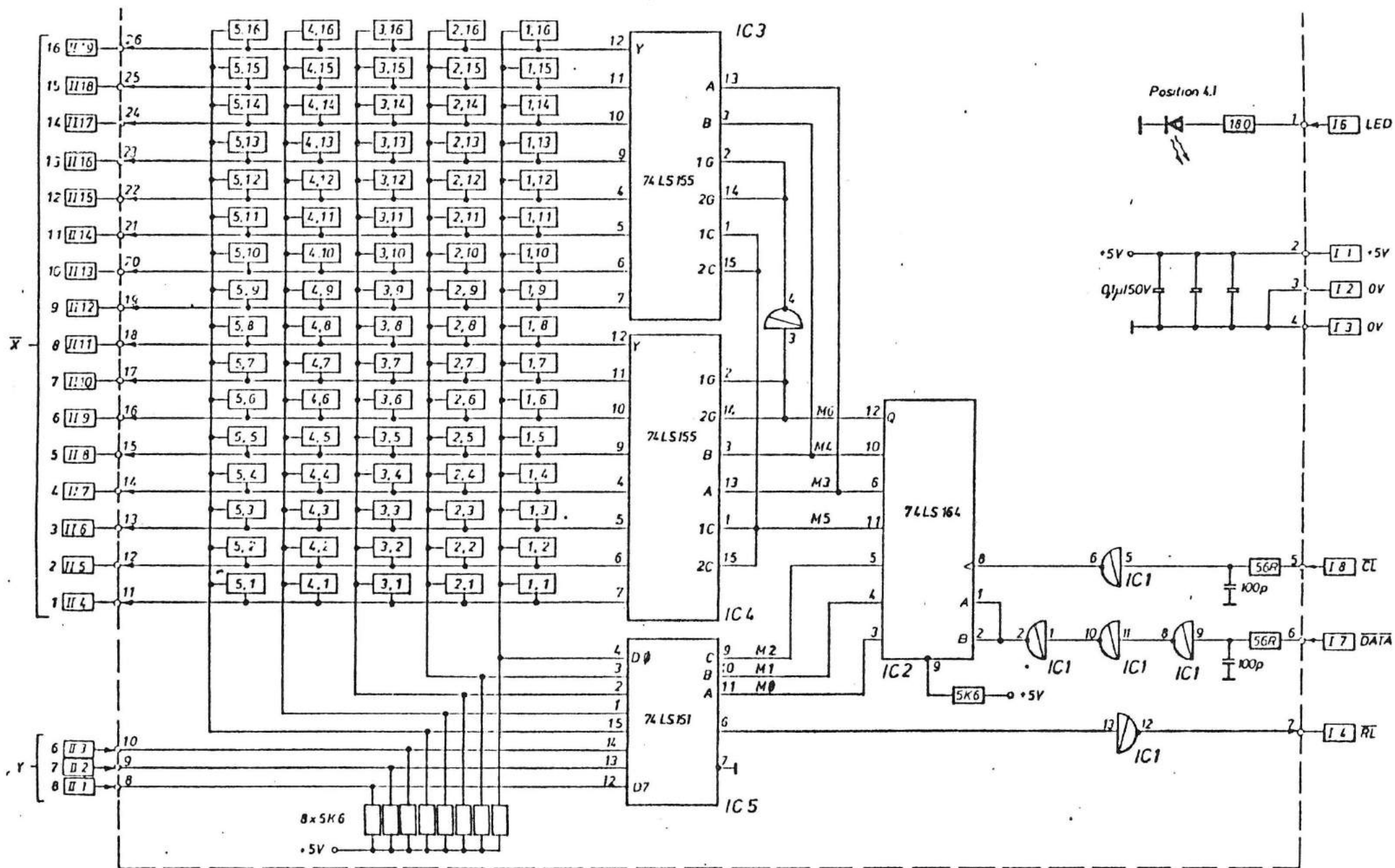
ITT 3030

auf Wachstum programmiert



Technik der Welt

III



ASCII - Tabelle

Code Liste 7 Bit USASCII Code : ITT 3030 - GB

Bit 6	#	0	!	0	#	0	!	0	#	L	!	L	#	L	!	L	#
Bit 5	#	0	!	0	#	L	!	L	#	0	!	0	#	L	!	L	#
Bit 4	#	0	!	L	#	0	!	L	#	0	!	L	#	0	!	L	#

Dez. Äqui.	#	0	1	#	2	3	#	4	5	#	6	7	#
------------	---	---	---	---	---	---	---	---	---	---	---	---	---

Bit (3..0)	CCCC	#	0	#	.	.	SP	0	@	P	'	p
	CCOL	#	1	#	.	.	!	1	A	Q	a	q
	COLO	#	2	#	.	.	"	2	B	R	b	r
	COLL	#	3	#	.	.	#	3	C	S	c	s
	OLCO	#	4	#	.	.	\$	4	D	T	d	t
	GLCL	#	5	#	.	.	%	5	E	U	e	u
	OLLO	#	6	#	.	.	&	6	F	V	f	v
	OLL	#	7	#	.	.	'	7	G	W	g	w
	LGCO	#	8	#	.	.	(	8	H	X	h	x
	LOOL	#	9	#	.	.	)	9	I	Y	i	y
	LOLO	#	10	#	.	.	#	:	J	Z	j	z
	LOLL	#	11	#	.	.	+	;	K	[	k	{
	LLCO	#	12	#	.	.	,	<	L	\	l	
	LLLO	#	13	#	.	.	-	=	M	]	m	}
	LLLO	#	14	#	.	.	.	>	N	^	n	~
	LLLL	#	15	#	.	.	/	?	O	_	o	?

Tastennummern	
Code (shift)	
Code (unshift)	

616	714	715	716
8F	02	8E	16
8F	02	8E	16

613	614	615
14	19	80
14	19	80

711	712	713
57	58	59
57	58	58

710
4D
4D

610	611	612
12	03	09
12	03	09

67	68	69
1F	05	07
1F	05	07

64	65	66
13	91	04
13	91	04

61	62	63
01	18	06
01	18	06

74	75	76
51	52	53
51	52	53

71	72
50	4E
50	4E

73
0D
0D

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

Technische Funktionsbeschreibung

=====

1. Allgemeines

Die Baugruppe "Mini-Floppy-Controller" (Doppelte Dichte) ist eine Grundelektronik, die zur Datenübertragung zwischen Rechner und Floppy-Speicher dient.

Floppy-Laufwerke (maximal drei) von Typ Philips X 3112 oder ähnliche Geräte können über den Controller am ITT 3030-BUS oder anderen, BUS-orientierten Rechnersystemen betrieben werden.

Beim Datentransfer zwischen System-BUS und Floppy hat der Controller im wesentlichen die folgenden Aufgaben:

- BUS-Entkoppelung
- Zwischenpufferung der Geräteadresse und der Steuersignale
- zeichenweise Datenpufferung
- Datendekodierung
- Datenformatierung
- Schreibtakterzeugung

Der Controller ist unter Verwendung des Floppy-Disk-Formatter/Controller-Bausteins FD 1791 B-02 von Western Digital realisiert.

2. Funktionsgruppenübersicht

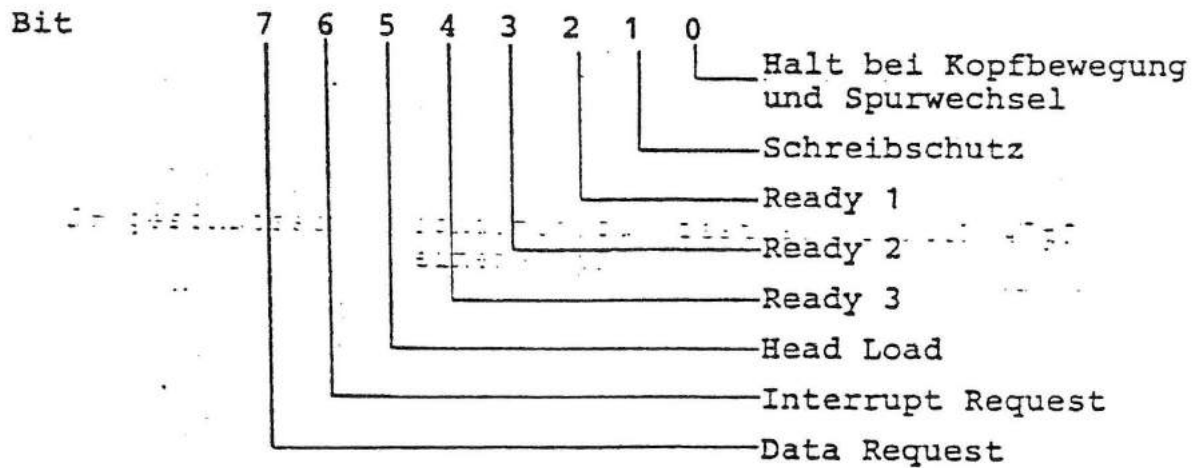
Die zwischen CPU und Basis-Controller ausgetauschte Information unterteilt sich in:

- a) Befehle an die Laufwerke
- b) Befehle an den Formatter/Controller-Baustein
- c) Statusinformation des Basis-Controllers und der Laufwerke
- d) Statusinformation des Formatter/Controller-Bausteins
- e) Schreibdaten
- f) Lesedaten

3. Adreßbelegung

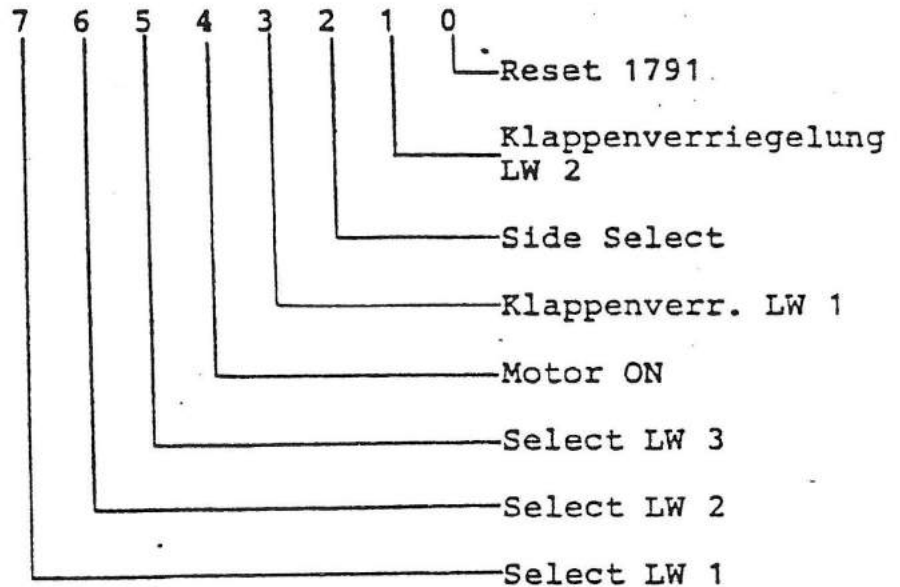
Adreßbit	7	6	5	4	3	2	1	0	
	Kanaladr.5								
						0	0	0	} CS - 1791
						0	0	1	
						0	1	0	
						0	1	1	
						1	0	0	CS-Statusregister CS-Befehlsregister

IN 54_H



OUT 54_H

Bit



4. Daten-Trenn-Stufe

Diese besteht aus zwei Funktionsgruppen:

- dem Phasenregelkreis, mit dem die Referenzfrequenz für Öffnungszeitpunkt und -dauer der Daten- und Taktfenster der Bitfolgefrequenz des Lesedatenstromes nachgeführt wird.
- der Missing-Clock-Detect-Logic, die bei 4 aufeinanderfolgenden Fehltakten die Zuordnung zwischen Datenfenster und Taktfenster umdreht.

5. Head-Load/Step-Logic

Wenn der Formatter/Controller FD 1791 den Befehl zum Neupositionieren und Aufsetzen des Kopfes ausgibt, müssen die mechanischen Reaktionszeiten berücksichtigt werden.

Mit Hilfe monostabiler Kippstufen werden für einen Spurwechsel 40 msec und für das Kopfaufsetzen 60 msec-Intervalle erzeugt.

Der FD 1791 kann den Ablauf dieser Zeiten über den HLT-Eingang abfragen.

6. Taktgenerator

Die Grundfrequenz eines 4 MHz-Oszillators wird durch 4 geteilt und als 1 MHz-Takt dem FD 1791 zugeführt.

(Mini-Floppy = 1 MHz, Floppy-Disk = 2 MHz)

Brückenbelegungsliste

1. S1 - S4 Adreßbereich

vorzugsweise kaschiert: S1, S3 geschlossen
S2, S4 offen

entspricht Adresse 50_H

2. J5 - J7 dient zum Abgleich der PLL-Schaltung

J5 geschlossen: schaltet zum festkaschierten 47pF
einen 5,6pF

J6 geschlossen: schaltet zum festkaschierten 47pF
einen 10pF

J7 geschlossen: schaltet zum festkaschierten 47pF
einen 10pF

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

Elektrische Spezifikation

=====

Stromaufnahme:

+ 5 V : $\leq$ 350 mA

+ 12 V : $\leq$ 12 mA

Monozeiten:

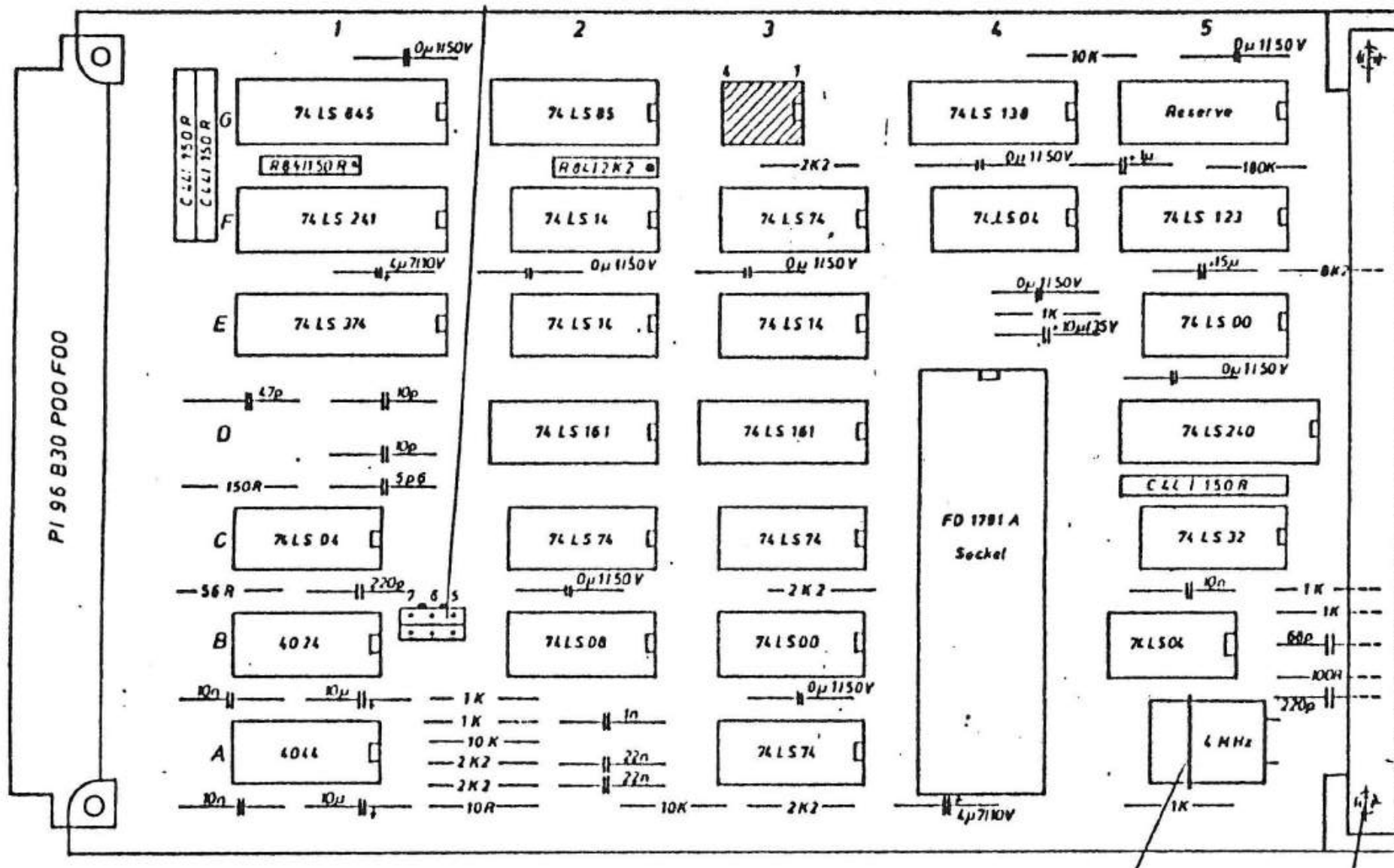
F 5/12 : 40 bis 100 ms

F 5/4 : 20 bis 60 ms

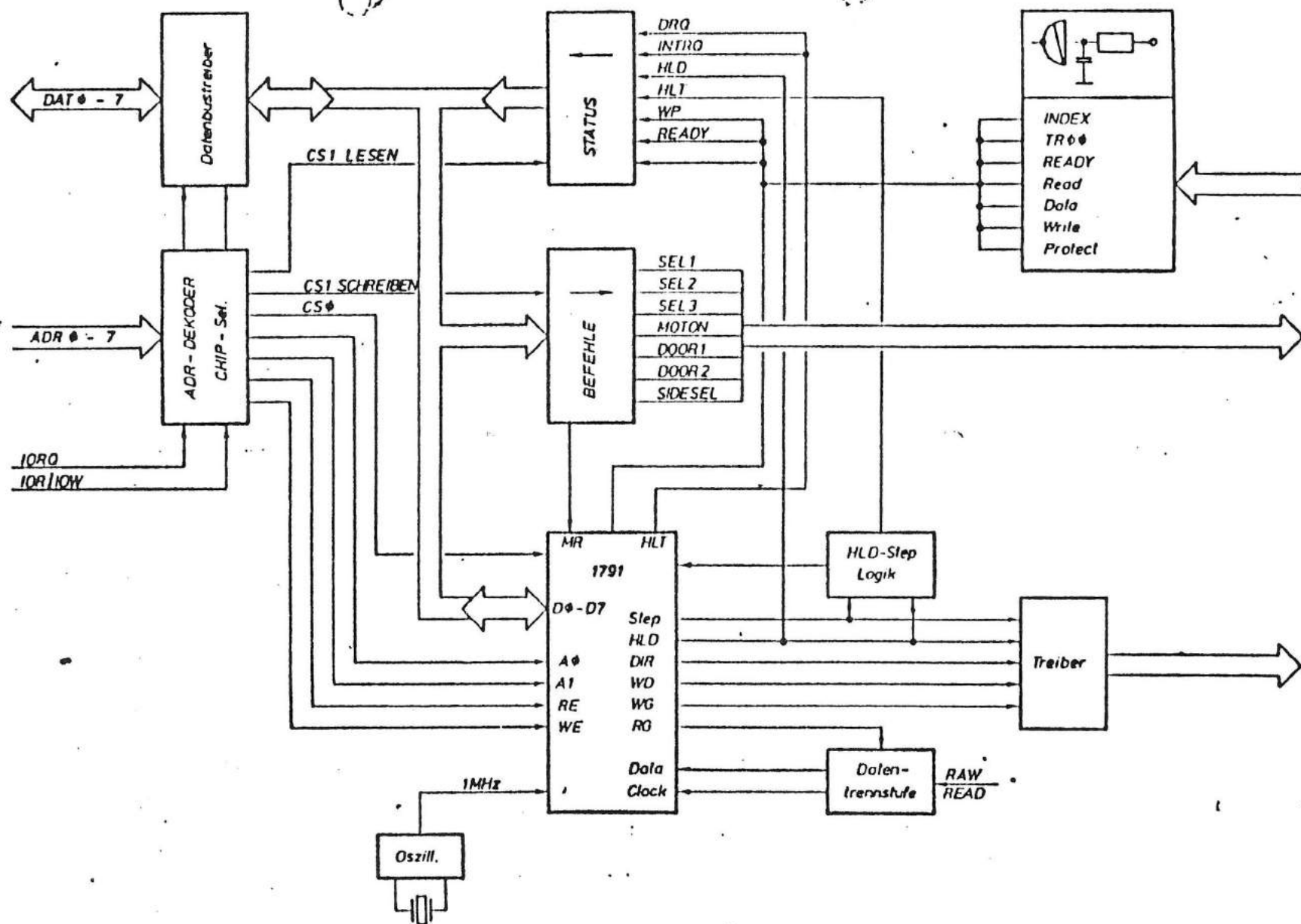
Oszillator:

4 MHz $\pm$ 10^{-4}

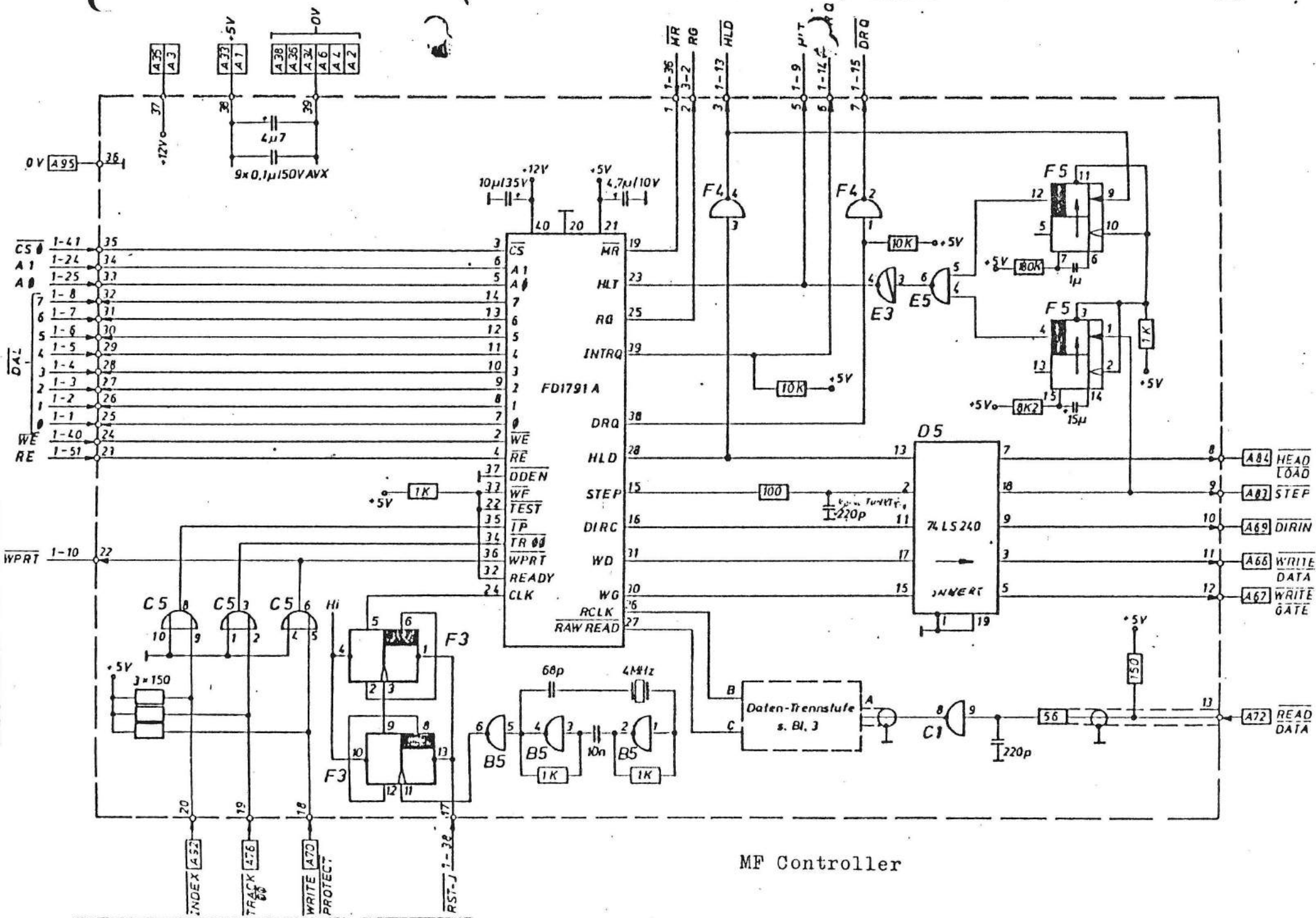
Mini-Floppy-Controller



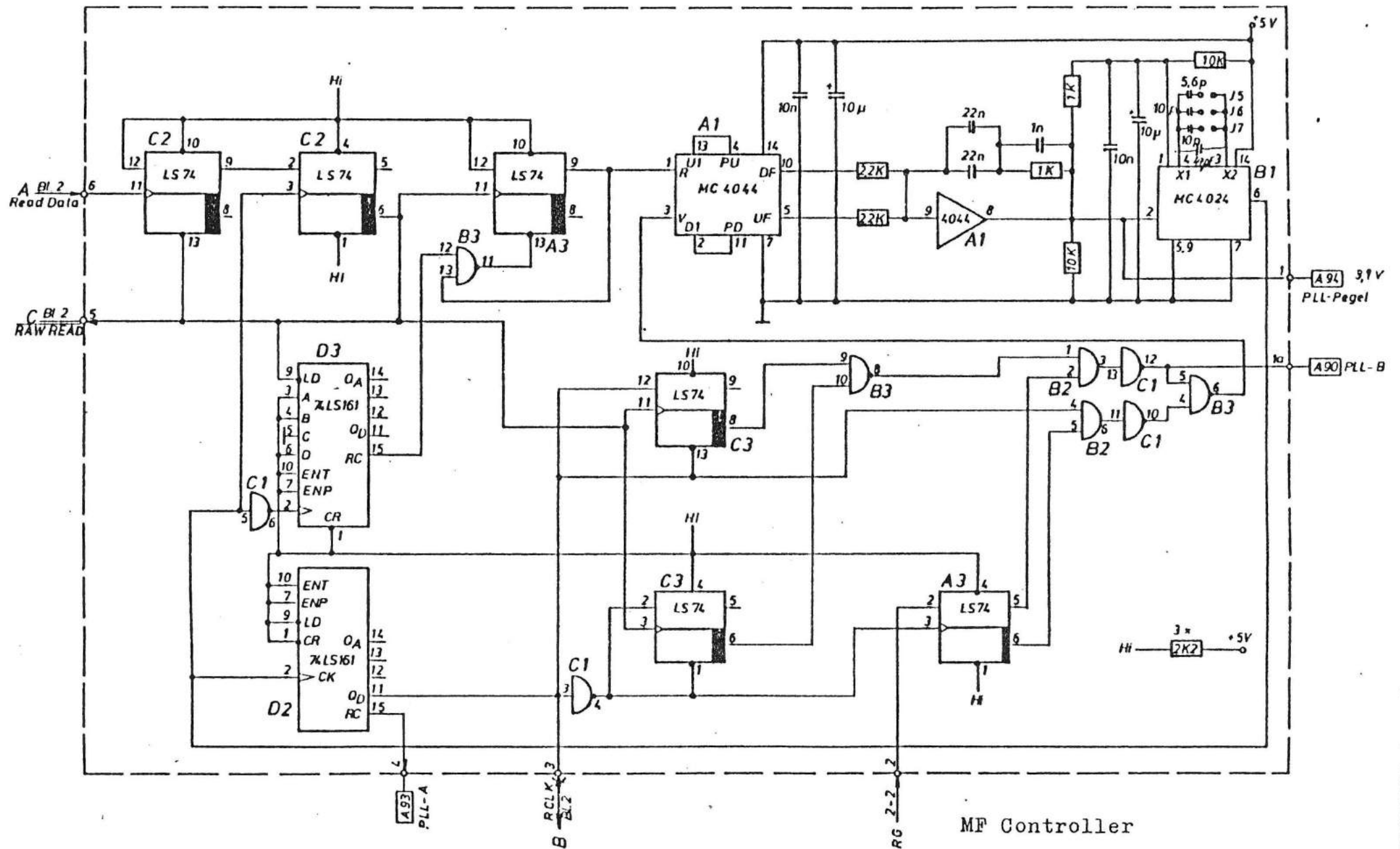
System - Schnittstelle



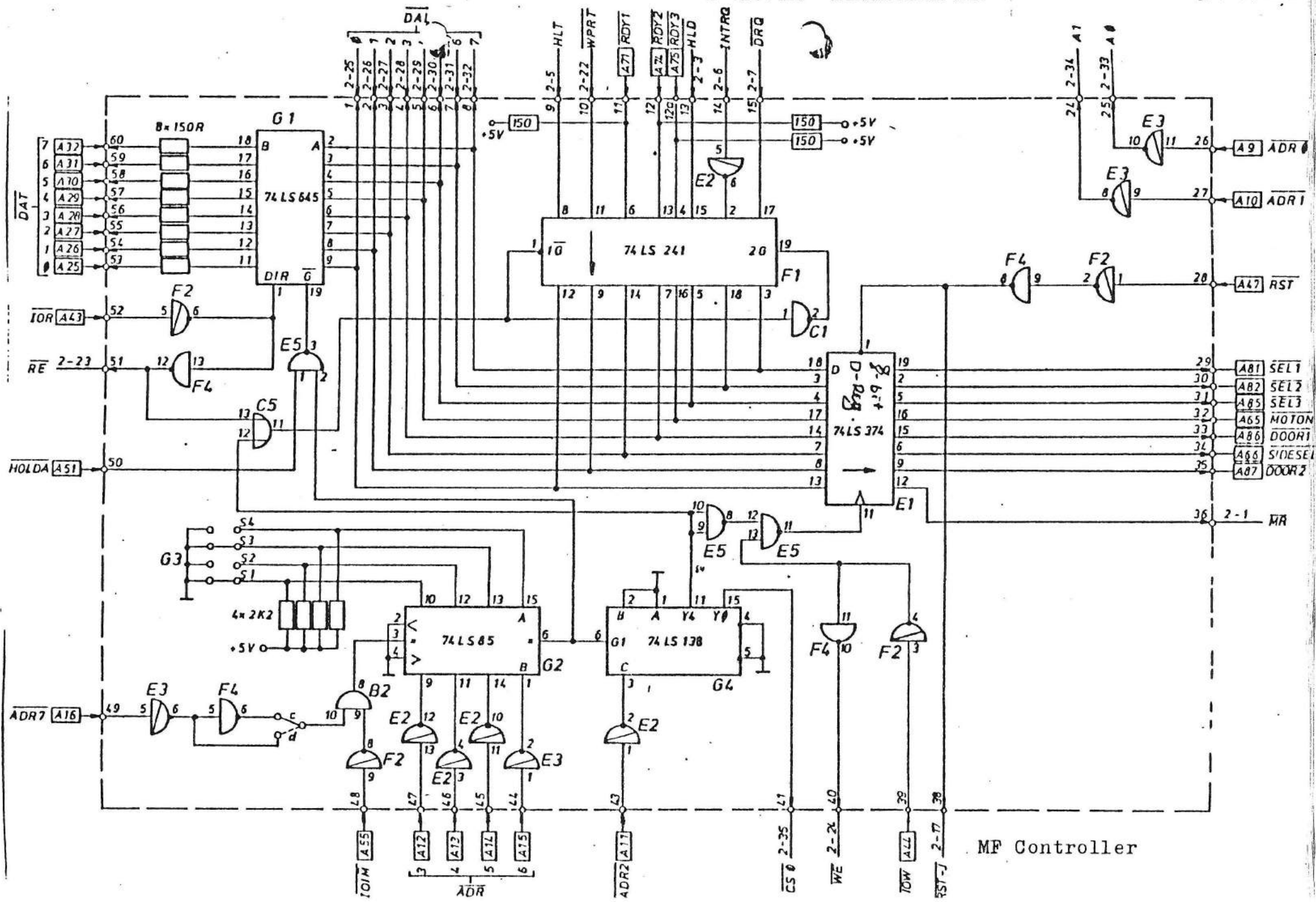
Floppy - Schnittstelle



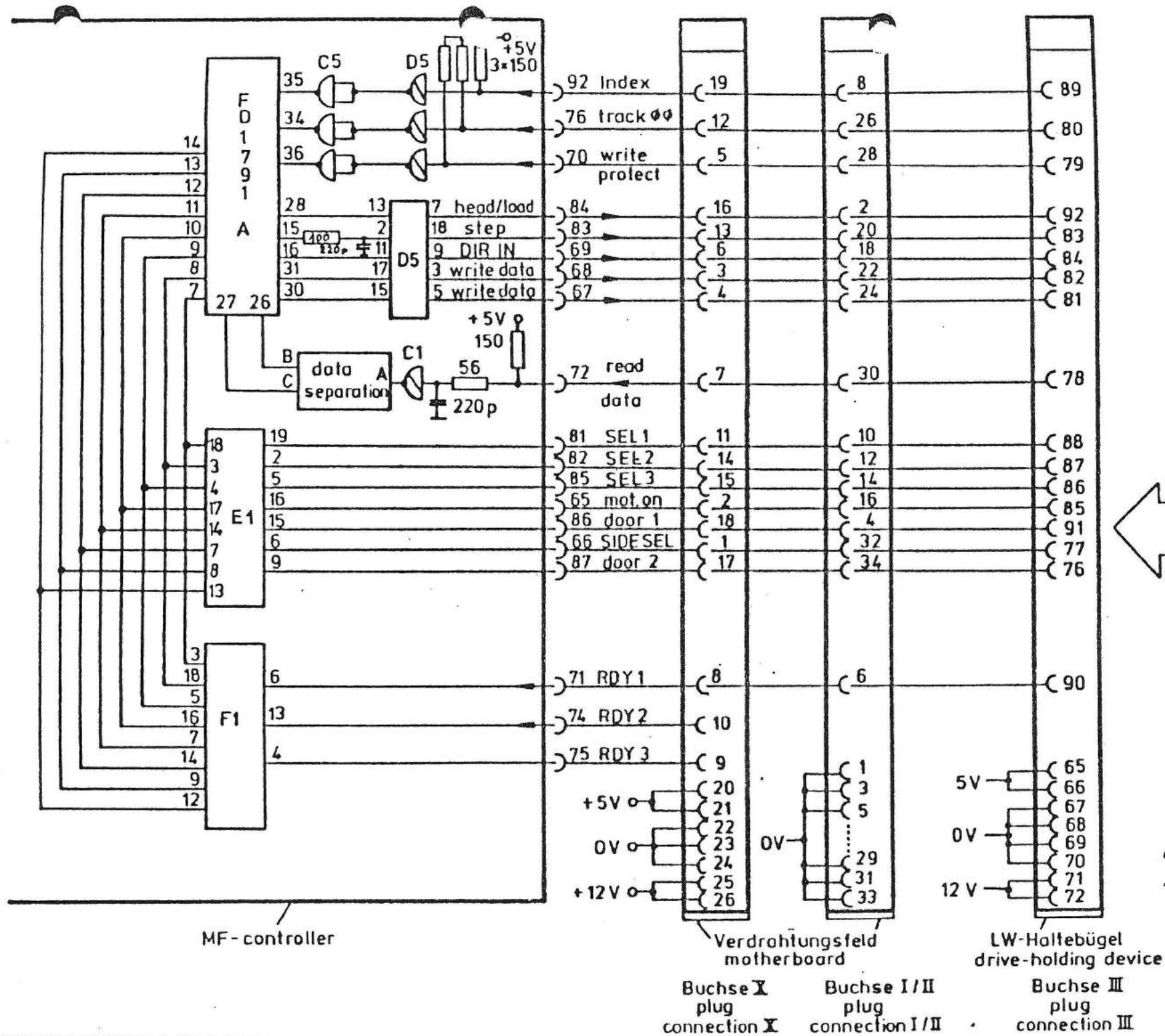
MF Controller



MF Controller

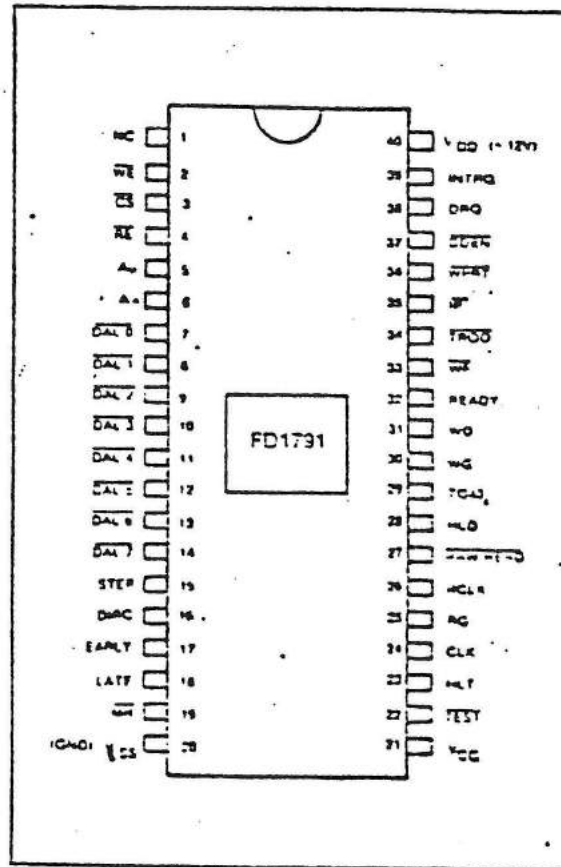


MF Controller

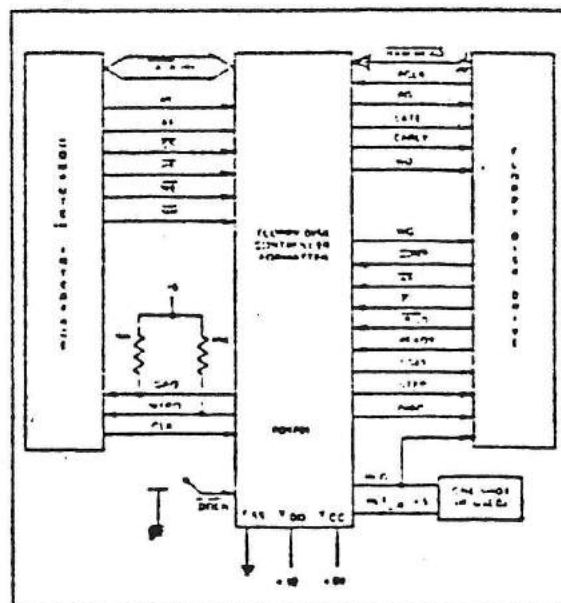


Anschluß des
3. Laufwerks
connection
of the 3. drive

C1 = 74 LS 14
C5 = 74 LS 00
D5 = 74 LS 240
E1 = 74 LS 374
F1 = 74 LS 241



PIN CONNECTIONS

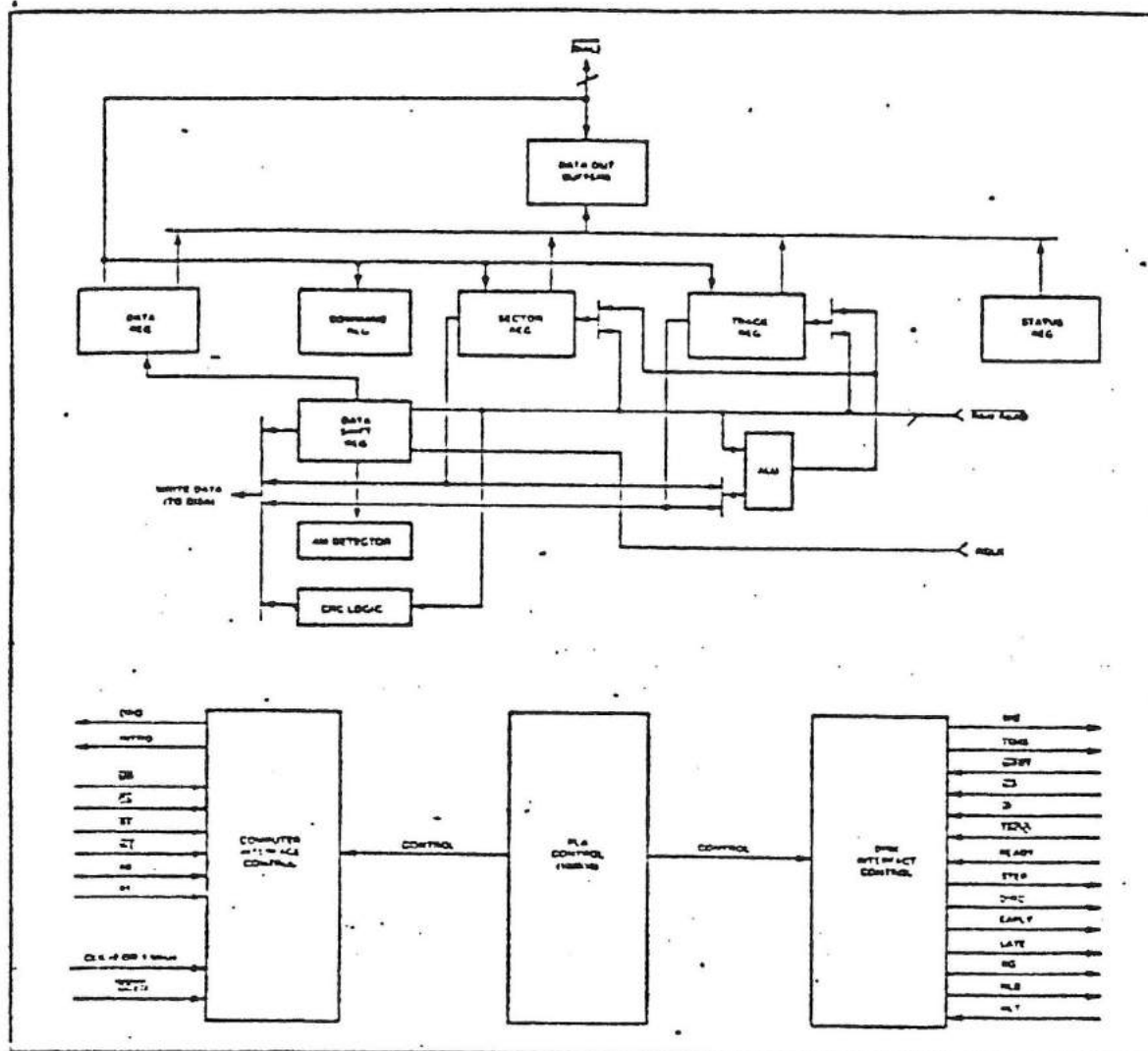


1791 SYSTEM BLOCK DIAGRAM

PIN OUTS

PIN NUMBER	PIN NAME	SYMBOL	FUNCTION																				
20	POWER SUPPLIES	V_{ss}	Ground																				
21		V_{cc}	+5V																				
40		V_{dd}	+12V																				
19	MASTER RESET	$\overline{MR}$	A logic low on this input resets the device and loads nex CS into the command register. The Not Ready (Status Bit 7) is reset during MR ACTIVE. When MR is brought to a logic high a Restore Command is executed, regardless of the state of the Ready signal from the drive. Also, hex 01 is loaded into sector register.																				
COMPUTER INTERFACE:																							
7-14	DATA ACCESS LINES	$\overline{DAL0-DAL7}$	Eight bit Inverted Bidirectional bus used for transfer of data, control, and status. This bus is a receiver enabled by $\overline{WE}$ or a transmitter enabled by $\overline{RE}$.																				
3	CHIP SELECT	$\overline{CS}$	A logic low on this input selects the chip and enables computer communication with the device.																				
5,6	REGISTER SELECT LINES	A0, A1	These inputs select the register to receive/transfer data on the DAL lines under $\overline{RE}$ and $\overline{WE}$ control: <table> <tr> <th>A1</th><th>A0</th><th>RE</th><th>WE</th></tr> <tr> <td>0</td><td>0</td><td>Status Reg</td><td>Command Reg</td></tr> <tr> <td>0</td><td>1</td><td>Track Reg</td><td>Track Reg</td></tr> <tr> <td>1</td><td>0</td><td>Sector Reg</td><td>Sector Reg</td></tr> <tr> <td>1</td><td>1</td><td>Data Reg</td><td>Data Reg</td></tr> </table>	A1	A0	RE	WE	0	0	Status Reg	Command Reg	0	1	Track Reg	Track Reg	1	0	Sector Reg	Sector Reg	1	1	Data Reg	Data Reg
A1	A0	RE	WE																				
0	0	Status Reg	Command Reg																				
0	1	Track Reg	Track Reg																				
1	0	Sector Reg	Sector Reg																				
1	1	Data Reg	Data Reg																				
4	READ ENABLE	$\overline{RE}$	A logic low on this input controls the placement of data from a selected register on the DAL when $\overline{CS}$ is low.																				
2	WRITE ENABLE	$\overline{WE}$	A logic low on this input gates data on the DAL into the selected register when $\overline{CS}$ is low.																				
38	DATA REQUEST	DRQ	This open drain output indicates that the DR contains assembled data in Read operations, or the DR is empty in Write operations. This signal is reset when serviced by the computer through reading or loading the DR in Read or Write operation, respectively. Use 10K pull-up resistor to +5.																				
39	INTERRUPT REQUEST	INTRQ	This open drain output is set at the completion or termination of any operation and is reset when a new command is loaded into the command register or the status register is read. Use 10K pull-up resistor to +5.																				
24	CLOCK	CLK	This input requires a free-running square wave clock for internal timing reference. 2 MHz for regular drives, 1 MHz for mini-drives.																				
FLOPPY DISK INTERFACE:																							
25	READ GATE	RG	A high level on this output indicates to the data separator circuitry that a field of zeros (or ones) has been encountered, and is used for synchronization.																				
31	WRITE DATA	WD	A 250 ns (MFM) or 500 ns (FMI) pulse per flux transition. WD contains the unique Address marks as well as data in both FMI and MFM formats.																				
26	READ CLOCK	RCLK	A nominal square-wave clock signal derived from the data stream must be provided to this input. Phasing (i.e. RCLK transitions) relative to RAW READ is important but polarity (RCLK high or low) is not.																				
27	RAW READ	$\overline{RAW READ}$	The data input signal directly from the drive. This input shall be a negative pulse for each recorded flux transition.																				
28	HEAD LOAD	HLD	The HLD output controls the loading of the Read-Write head against the media. When a logic high is found on the HLT input the head is assumed to be engaged.																				
23	HEAD LOAD TIMING	HLT																					
15	STEP	STEP	Step and direction motor control. The step output contains a pulse for each step and the direction output is active high when stepping in, active low when stepping out.																				
16	DIRECTION	DIRC																					

17	EARLY	EARLY	Indicates that the write data pulse occurring while Early is active (high) should be shifted early for write precompensation.
18	LATE	LATE	Indicates that the write data pulse occurring while Late is active (high) should be shifted late for write precompensation.
29	TRACK GREATER THAN 43	TG43	This output informs the drive that the Read-Write head is positioned between the 44-75. This output is valid only during Read and Write Commands.
30	WRITE GATE	WG	This output is made valid when writing is to be performed on the diskette.
32	READY	READY	This input indicates disk readiness and is sampled for a logic high before Read or Write commands are performed. If Ready is low the Read or Write operation is not performed and an interrupt is generated. A Seek operation is performed regardless of the state of Ready. The Ready input appears in inverted format as Status Register bit 7.
33	WRITE FAULT	WF	This input detects writing faults indications from the drive. When WG = 1 and WF goes low the current Write command is terminated and the Write Fault status bit is set. The WF input should be made inactive (high) when WG becomes inactive.
34	TRACK 00	TR00	This input informs the FD1791 that the Read-Write head is positioned over Track 00 when a logic low.
35	INDEX PULSE	IP	Input, when low for a minimum of 10 μ sac, informs the FD1791 when an index mark is encountered on the diskette.
36	WRITE PROTECT	WPRT	This input is sampled whenever a Write Command is received. A logic low terminated the command and sets the Write Protect Status bit.
37	DOUBLE DENSITY	DDEN	This pin selects either single or double density operation. When DDEN = 0, double density is selected. When DDEN = 1, single density is selected.
22	TEST	TEST	This input is used for testing purposes only and should be tied to +5V or left open by the user unless interfacing to voice actuated motors.



FD1791 BLOCK DIAGRAM

PROCESSOR INTERFACE

The interface to the processor is accomplished through the eight Data Address Lines (DAL) and associated control signals. The DAL are used to transfer Data, Status, and Control words out of, or into the FD1791. The DAL are three state buffers that are enabled as output drivers when Chip Select (CS) and Read Enable (RE) are active (low logic state) or act as input receivers when CS and Write Enable (WE) are active.

When transfer of data with the Floppy Disk Controller is required by the host processor, the device address is decoded and CS is made low. The least-significant address bits A1 and A0, combined with the signals RE during a Read operation or WE during a Write operation are interpreted as selecting the following registers:

A1-A0	READ (RE)	WRITE (WE)
0 0	Status Register	Command Register
0 1	Track Register	Track Register
1 0	Sector Register	Sector Register
1 1	Data Register	Data Register

During Direct Memory Access (DMA) types of data transfers between the Data Register of the FD1791 and the processor, the Data Request (DRQ) output is used in Data Transfer control. This signal also appears as status bit 1 during Read and Write operations.

On Disk Read operations the Data Request is activated (set high) when an assembled serial input byte is transferred in parallel to the Data Register. This bit is cleared when the Data Register is read by

the processor. If the Data Register is read after one or more characters are lost, by having new data transferred into the register prior to processor readout, the Lost Data bit is set in the Status Register. The Read operation continues until the end of sector is reached.

On Disk Write operations the Data Request is activated when the Data Register transfers its contents to the Data Shift Register, and requires a new data byte. It is reset when the Data Register is loaded with new data by the processor. If new data is not loaded at the time the next serial byte is required by the Floppy Disk, a byte of zeroes is written on the diskette and the Lost Data bit is set in the Status Register.

At the completion of every command an INTRQ is generated. INTRQ is reset by either reading the status register or by loading the command register with a new command. In addition, INTRQ is generated if a Force Interrupt command condition is met.

FLOPPY DISK INTERFACE

The 1791 has two modes of operation according to the state of DDEN (Pin 37). When DDEN = 1, single density is selected. In either case, the CLK input (Pin 24) is at 2 MHz. However, when interfacing with the mini-floppy, the CLK input is set at 1 MHz for both single density and double density. When the clock is at 2 MHz, the stepping rates of 3, 6, 10, and 15 ms are obtainable. When CLK equals 1 MHz these times are doubled.

HEAD POSITIONING

Four commands cause positioning of the Read-Write head (see Command Section). The period of each positioning step is specified by the *r* field in bits 1 and 0 of the command word. After the last directional step an additional 15 milliseconds of head settling time takes place if the Verify flag is set in Type I commands. Note that this time doubles to 30 ms for a 1 MHz clock. If $\overline{\text{TEST}} = 0$, there is zero settling time. There is also a 15 ms head settling time if the *E* flag is set in any Type 2 or 3 command.

The rates (shown in Table 1) can be applied to a Step-Direction Motor through the device interface.

Step—A 2 μs (MFM) or 4 μs (FM) pulse is provided as an output to the drive. For every step pulse issued, the drive moves one track location in a direction determined by the direction output.

Direction (DIRC)—The Direction signal is active high when stepping in and low when stepping out. The Direction signal is valid 12 μs before the first stepping pulse is generated.

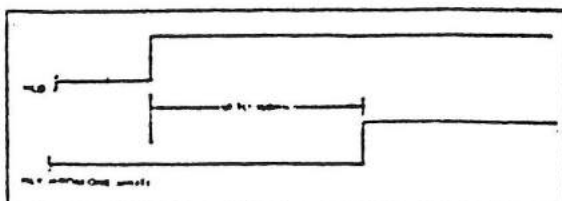
When a Seek, Step or Restore command is executed an optional verification of Read-Write head position can be performed by setting bit 2 ($V = 1$) in the command word to a logic 1. The verification operation begins at the end of the 15 millisecond settling time after the head is loaded against the media. The track number from the first encountered ID Field is compared against the contents of the Track Register. If the track numbers compare and the ID Field Cyclic Redundancy Check (CRC) is correct, the verify operation is complete and an INTRQ is generated with no errors. The FD1791 must find an ID field with correct track number and correct CRC within 5 revolutions of the media; otherwise the seek error is set and an INTRQ is generated.

Table 1. STEPPING RATES

CLK	2 MHz	2 MHz	1 MHz	1 MHz	2 MHz	1 MHz
DOEN	0	1	0	1		
R1 R0	TEST=1	TEST=1	TEST=1	TEST=1	TEST=1	TEST=0
0 0	3 ms	3 ms	6 ms	6 ms	Approx.	Approx.
0 1	6 ms	6 ms	12 ms	12 ms	200 μs	400 μs
1 0	10 ms	10 ms	20 ms	20 ms		
1 1	15 ms	15 ms	30 ms	30 ms		

The Head Load (HLD) output controls the movement of the read/write head against the media. HLD is activated at the beginning of a Type I command if the *h* flag is set ($h = 1$), at the end of the Type I command if the verify flag ($V = 1$), or upon receipt of any Type II or III command. Once HLD is active it remains active until either a Type I command is received with ($h = 0$ and $V = 0$); or if the FD1791 is in an idle state (non-busy) and 15 index pulses have occurred, it is reset.

Head Load Timing (HLT) is an input to the FD1791 which is used for the head engage time. When $\text{HLT} = 1$, the FD1791 assumes the head is completely engaged. The head engage time is typically 30 to 100 ms depending on drive. The low to high transition on HLD is typically used to fire a one shot. The output of the one shot is then used for HLT and supplied as an input to the FD1791.



HEAD LOAD TIMING

When both HLD and HLT are true, the FD1791 will then read from or write to the media. The "and" of HLD and HLT appears as a status bit in Type I status.

In summary for the Type I commands: if $h = 0$ and $V = 0$, HLD is reset. If $h = 1$ and $V = 0$, HLD is set at the beginning of the command and HLT is not sampled nor is there an internal 15 ms delay. If $h = 0$ and $V = 1$, HLD is set near the end of the command, an internal 15 ms occurs, and the FD1791 waits for HLT to be

true. If $h = 1$ and $V = 1$, HLD is set at the beginning of the command. Near the end of the command, after all the steps have been issued, an internal 15 ms delay occurs and the FD1791 then waits for HLT to occur.

For Type II and III commands with *E* flag off, HLD is made active and HLT is sampled until true, with *E* flag on HLD is made active, an internal 15 ms delay occurs and then HLT is sampled until true.

DISK READ OPERATIONS

Sector lengths of 123, 255, 512 or 1024 are obtainable in either FM or MFM formats. For FM, $\overline{\text{DOEN}}$ should be placed to logical "1." For MFM formats, $\overline{\text{DOEN}}$ should be placed to a logical "0." Sector lengths are determined at format time by a special byte in the "ID" field. If this Sector Length byte in the ID field is zero, then the sector length is 123 bytes. If 01 then 255 bytes. If 02, then 512 bytes. If 03, then the sector length is 1024 bytes. The number of sectors per track as far as the FD1791 is concerned can be from 1 to 255 sectors. The number of tracks as far as the FD1791 is concerned is from 0 to 255 tracks. For IBM 3740 compatibility, sector lengths are 122 bytes with 26 sectors per track. For System 34 compatibility (MFM), sector lengths are 256 bytes/sector with 26 sectors/track; or lengths of 1024 bytes/sector with 8 sectors/track.

For read operations, the FD1791 requires $\overline{\text{RAW}}$ READ Data (Pin 27) signal which is a 250 ns pulse per flux transition and a Read clock (RCLK) signal to indicate flux transition spacings. The RCLK (Pin 26) signal is provided by some drives but if not it may be derived externally by Phase lock loop, one shots, or counter techniques. In addition, a Read Gate Signal is provided as an output (Pin 25) which informs some phase lock loops when to acquire synchronization. When reading from the media in FM, RG is made true when 2 bytes of zeroes are detected. The FD1791 must find an address mark within the next 10 bytes; otherwise RG is reset and the search for 2 bytes of zeroes begins all over again. If an address mark is found within 10 bytes, RG remains true as long as the FD1791 is deriving any useful information from the data stream. Similarly for MFM, RG is made active true when 4 bytes of "00" or "FF" are detected. The FD1791 must find an address mark within the next 16 bytes, otherwise RG is reset and search resumes.

DISK WRITE OPERATION

When writing is to take place on the diskette the Write Gate (WG) output is activated, allowing current to flow into the Read/Write head. As a precaution to erroneous writing the first data byte must be loaded into the Data Register in response to a Data Request from the FD1791 before the Write Gate signal can be activated.

Writing is inhibited when the Write Protect input is a logic low, in which case any Write command is immediately terminated, an interrupt is generated and the Write Protect status bit is set. The Write Fault input, when activated, signifies a writing fault condition detected in disk drive electronics such as failure to detect write current flow when the Write Gate is activated. On detection of this fault the FD1791 terminates the current command, and sets the Write Fault bit (bit 5) in the Status Word. The Write Fault input should be made inactive when the Write Gate output becomes inactive.

For write operation, the FD1791 provides Write Gate (Pin 30) and Write Data (Pin 31) outputs. Write data consists of a series of 500 ns pulses in FM ($\overline{DDEN} = 1$) and 250 ns pulses in MFM ($\overline{DDEN} = 0$). Write Data provides the unique address marks in both formats.

Also during write, two additional signals are provided for write precompensation. These are EARLY (Pin 17) and LATE (Pin 18). EARLY is active true when the WD pulse appearing on (Pin 30) is to be written early. EARLY is valid for the duration of the pulse. LATE is active true when the WD pulse is to be written late. If both are low when a WD pulse is present, the WD pulse is to be written at nominal. Since write precompensation values vary from disk manufacturer to disk manufacturer, the actual value is determined by several one shots or delay lines which are located external to the FD1791. The write precompensation signals EARLY and LATE are valid in both FM and MFM formats.

Whenever a Read or Write command (Type II or III) is received the FD1791 samples the Ready input. If this input is logic low the command is not executed and an interrupt is generated. The Seek or Step Type I commands are performed regardless of the state of the Ready input. Also, whenever a Type II or III command is received, the TG43 signal output is updated.

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

Allgemeine Eigenschaften:

- Z80A - PIO direkt kompatibel mit Z80 CPU
- Zwei 8-Bit Ports
- Vier programmierbare Betriebsarten
- Byte Input, Byte Output, Byte Input/Output (Port A) und Bit in/out
- Port B Ausgänge sind geeignet zum Ansteuern von Darlington-Transistoren.

Technische Beschreibung

Über einen bidirektionalen Bustreiber (LS 640) ist der PIO mit dem Systembus verbunden.

Die Adreßbits 4 - 7 steuern die Adreßerkennung der Karte und erzeugen einen Chipselect für den PIO. Die Adresse 0 und 1 steuern die Umschaltung zwischen Befehl und Daten und die Umschaltung zwischen Port A und Port B. Die Ausgänge des PIO sind auf einen 40-pol. Stecker geführt.

ITT 3030

AUF WACHSTUM PROGRAMMIERT!

Basis-Adresse geändert auf

90_h

Portbelegung:

ADR	7	6	5	4	3	2	1	0	
	Basisadr.								
					X	X	0	0	Befehle PORT B (40) 90
					X	X	0	1	Daten PORT B (41) 91
					X	X	1	0	Befehle PORT A (42) 92
					X	X	1	1	Daten PORT A (43) 93

Befehle:

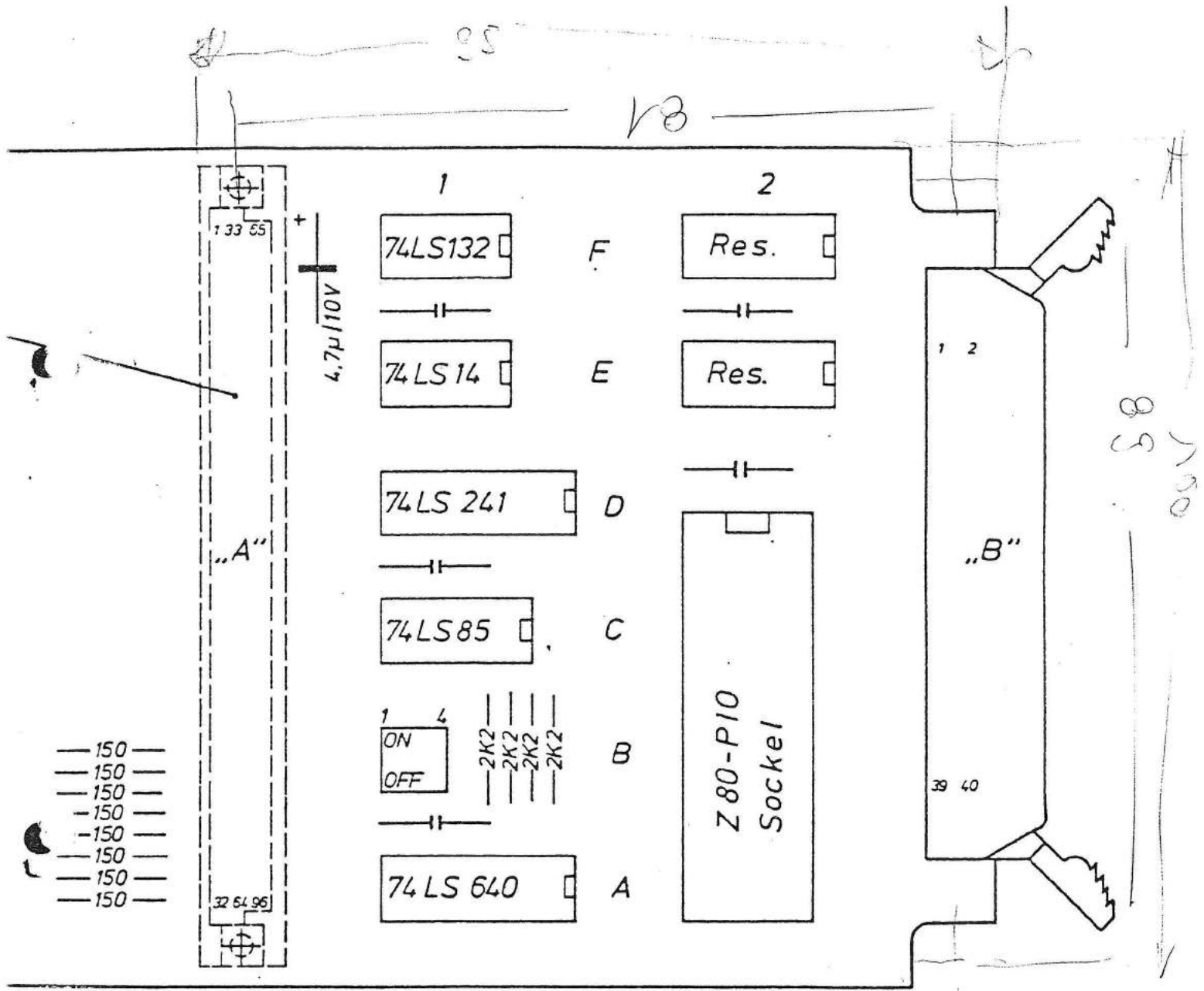
0F _H	Daten ausgeben
4F _H	Daten eingeben
8F _H	Bidirektional
CF _H	Control Mode

Über die Signale IEI und IEO kann der Baugruppe eine Interrupt Priorität zugewiesen werden.

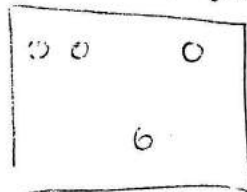
Parallel I/O

ITT 3030

M 1:14 AUF WACHSTUM PROGRAMMIERT!

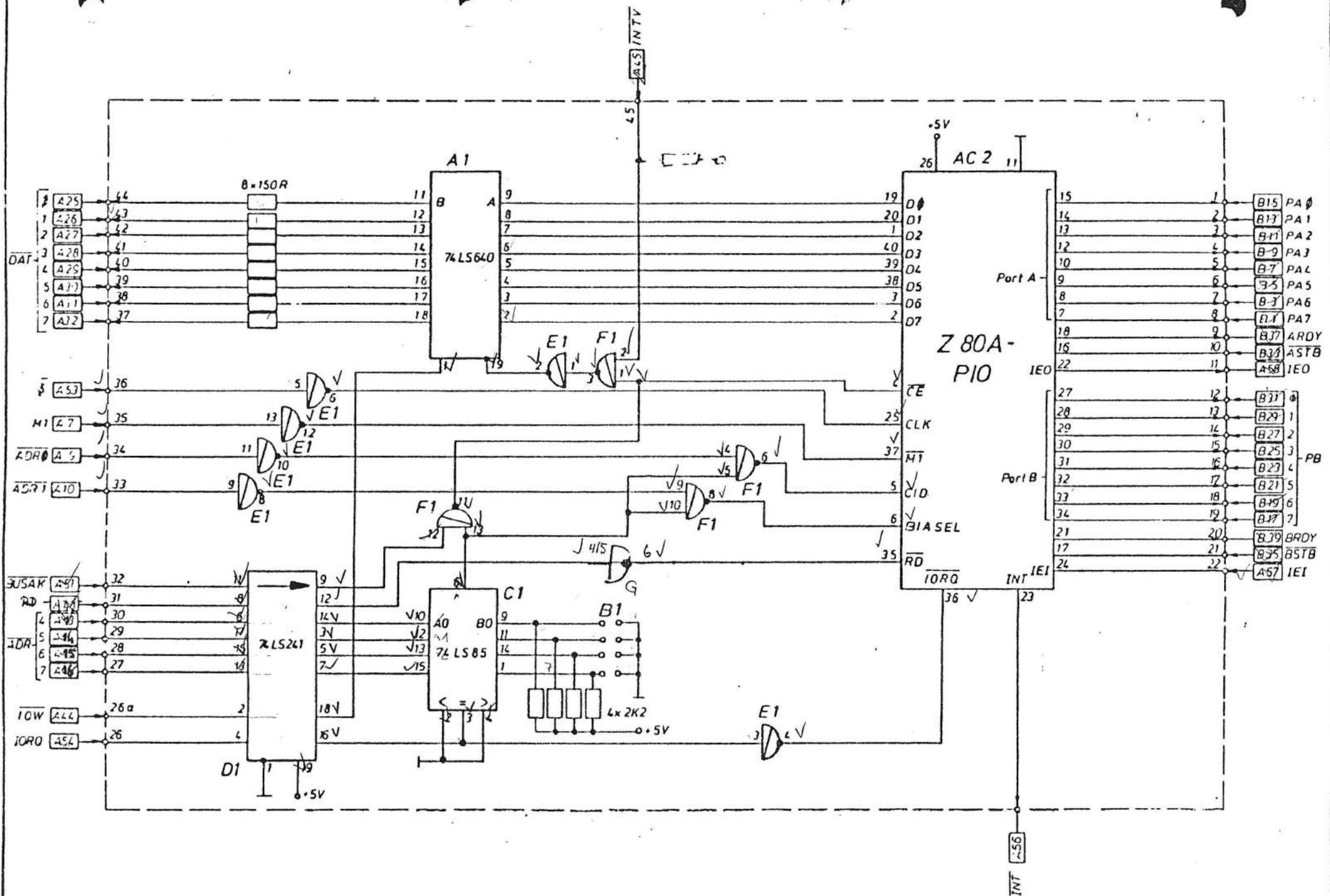


Schalter-Stellung



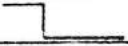
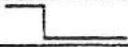
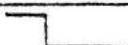
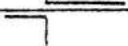
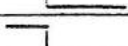
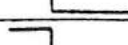
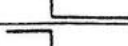
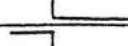
0010

=> 80h



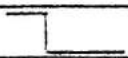
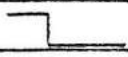
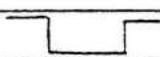
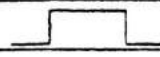
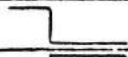
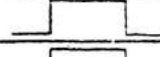
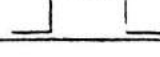
ITT 3030

AUF WACHSTUM PROGRAMMIERT I

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5V			
02	0V			
03	+ 12V			
04	0V			
05	- 12V			
06	0V			
07	M1		Machine Cycle one	
08				
09	$\overline{\text{ADR0}}$		Adreß-Bit 0	
10	$\overline{\text{ADR1}}$		Adreß-Bit 1	
11				
12				
13	$\overline{\text{ADR4}}$		Adreß-Bit 4	
14	$\overline{\text{ADR5}}$		Adreß-Bit 5	
15	$\overline{\text{ADR6}}$		Adreß-Bit 6	
16	$\overline{\text{ADR7}}$		Adreß-Bit 7	
17				
18				
19				
20				
21				
22				
23				
24				
25	$\overline{\text{DAT0}}$		Daten-Bit 0	
26	$\overline{\text{DAT1}}$		Daten-Bit 1	
27	$\overline{\text{DAT2}}$		Daten-Bit 2	
28	$\overline{\text{DAT3}}$		Daten-Bit 3	
29	$\overline{\text{DAT4}}$		Daten-Bit 4	
30	$\overline{\text{DAT5}}$		Daten-Bit 5	
31	$\overline{\text{DAT6}}$		Daten-Bit 6	
32	$\overline{\text{DAT7}}$		Daten-Bit 7	

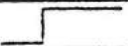
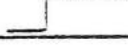
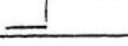
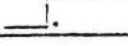
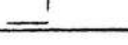
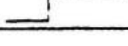
ITT 3030

AUF WACHSTUM PROGRAMMIERT !

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
33	+ 5V			
34	0V			
35	+ 12V			
36	0V			
37	- 12V			
38	0V			
39				
40				
41				
42				
43	$\overline{\text{IOR}}$		IN/OUT Read	
44	$\overline{\text{IOW}}$		IN/OUT Write	
45	$\overline{\text{INTV}}$		Interrupt Vector	
46				
47				
48				
49				
50				
51	$\overline{\text{BUSAK}}$		BUS Acknowledge	
52				
53	$\emptyset$		Systemtakt	
54	$\overline{\text{IORQ}}$		Input/Output Read	
55				
56	$\overline{\text{INT}}$		Interrupt	
57	$\overline{\text{IEI}}$		Interrupt Enable IN	
58	$\overline{\text{IEO}}$		Interrupt Enable OUT	
59				
60				
61				
62				
63				
64				

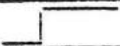
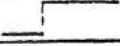
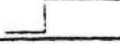
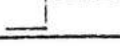
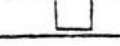
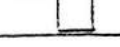
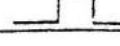
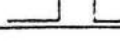
ITT 3030

AUF WACHSTUM PROGRAMMIERT !

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	PA7		Port A BUS	
02	OV			
03	PA6		Port A BUS	
04	OV			
05	PA5		Port A BUS	
06	OV			
07	PA4		Port A BUS	
08	OV			
09	PA3		Port A BUS	
10	OV			
11	PA2		Port A BUS	
12	OV			
13	PA1		Port A BUS	
14	OV			
15	PA0		Port A BUS	
16	OV			
17	PB7		Port B BUS	
18	OV			
19	PB6		Port B BUS	
20	OV			

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
21	PB5		Port B BUS	
22	OV			
23	PB4		Port B BUS	
24	OV			
25	PB3		Port B BUS	
26	OV			
27	PB2		Port B BUS	
28	OV			
29	PB1		Port B BUS	
30	OV			
31	PB0		Port B BUS	
32	OV			
33	$\overline{\text{ASTB}}$		Port A Strobe	
34	OV			
35	$\overline{\text{BSTB}}$		Port B Strobe	
36	OV			
37	ARDY		Register A Ready	
38	OV			
39	BRDY		Register B Ready	
40	OV			

=====
 Buchsenbelegung am ITT 3030 Parallelport
 =====

Beide Stecker haben die gleiche Belegung

40 poliger Stecker direkt am ITT

PA7	— o 1	A	Centronics Data 8
PA6	— o 3	I	
PA5	— o 5	I	
PA4	— o 7	e	
PA3	— o 9		
PA2	— o 11	g	
PA1	— o 13	e	
PA0	— o 15	r	Data 1
		a	
PB7	— o 17	d	Select
PB6	— o 19	e	Select IN/
PB5	— o 21	n	INIT/
PB4	— o 23		STROBE/
PB3	— o 25	P	PE
PB2	— o 27	i	FAULT/
PB1	— o 29	n	Busy
PB0	— o 31	s	AckN/
ASTB	— o 33		
		G	
BSTB	— o 35	R	
		O	
ARDY	— o 37	U	
		N	
BRDY	— o 39	D	

25 polige Buchsen

PA7	— o 1		
		14 o —	PB7
PA6	— o 2		
		15 o —	PB6
PA5	— o 3		
		16 o —	PB5
PA4	— o 4		
		17 o —	PB4
PA3	— o 5		
		18 o —	PB3
PA2	— o 6		
		19 o —	PB2
PA1	— o 7		
		20 o —	PB1
PA0	— o 8		
		21 o —	PB0
frei	— o 9		
		22 o —	frei
ASTB	— o 10		
		23 o —	BSTB
ARDY	— o 11		
		24 o —	BRDY
GROUND	— o 12		
		25 o —	GROUND
GROUND	— o 13		

Beide Stecker haben die gleiche Belegung

25 polige Buchsen

Data 8	PA7	— o 1		
			14 o —	PB7 Select
	PA6	— o 2		
			15 o —	PB6 Select IN/
	PA5	— o 3		
			16 o —	PB5 INIT/
	PA4	— o 4		
			17 o —	PB4 STROBE/
	PA3	— o 5		
			18 o —	PB3 PE
	PA2	— o 6		
			19 o —	PB2 FAULT/
	PA1	— o 7		
			20 o —	PB1 Busy
	PA0	— o 8		
			21 o —	PB0 AckN/
	frei	— o 9		
			22 o —	frei
	ASTB	— o 10		
			23 o —	BSTB
	ARDY	— o 11		
			24 o —	BRDY
	GROUND	— o 12		
			25 o —	GROUND
	GROUND	— o 13		

ITT 3030

AUF WACHSTUM PROGRAMMIERT !

Stromaufnahme:

+ 5V $\pm$ 5 %: $\leq$ 150 mA

Technik der Welt **ITT**

Die Baugruppe RS 232 - Adapter steuert maximal 4 V24-Kanäle nach RS 232 Spezifikation.

Kanal 1 und 3 sind voll modemfähig.

Die 4 Kanäle werden mit 2 Z80A-SIO realisiert, die auch SDLC-fähig sind.

Zum Einstellen der Baudrate ist ein programmierbarer Zähler vom Typ 8253 vorhanden. Zwei der drei internen Zähler versorgen die SIO's mit dem Sende- und Empfangstakt, während der dritte Zähler für Softwareroutinen frei ist.

Über Brücken können die Kanäle 1 und 3 entweder mit internen oder externen Taktten betrieben werden. Die Eingangsfrequenz des 8253 wird mit einem Quarzoszillator und nachgeschaltetem Teiler erzeugt.

Beispiel für Einstellen der Baudrate auf 4800 Baud:

Quarzfrequenz: 7,3728 MHz

Teiler : $\div 2 \rightarrow 3,6864 \text{ MHz}$ (Eing. Freq. 8253)

Zähler : $\div 48 \rightarrow 76,8 \text{ KHz}$ (Eing. Freq. SIO)

SIO intern : $\div 16 \rightarrow 4800 \text{ Hz}$

Mögliche Teilerverhältnisse SIO:

$\div 1, \div 16, \div 32, \div 64$

Mögliche Teilerverhältnisse 8253:

1 bis 65536 (16 Bit-Zähler)

Wird die Baugruppe nur als 2-fach Multiplexer betrieben, so sind nur Kanal 1 und 2 vorhanden.

Der 40-pol. Abgangsstecker geht über ein spezielles Kabel auf vier 25-pol. Cannonstecker.

1. Stromaufnahme:

+ 5V $\pm$ 5 %: $\leq$ 300 mA

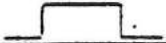
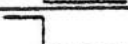
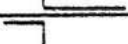
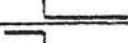
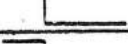
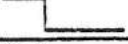
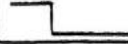
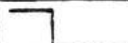
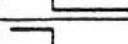
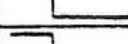
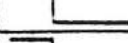
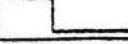
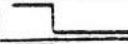
- 12V $\pm$ 5 %: $\leq$ 60 mA

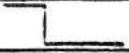
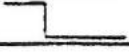
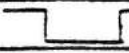
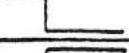
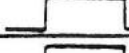
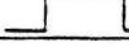
+ 12V $\pm$ 5 %: $\leq$ 60 mA

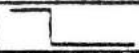
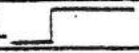
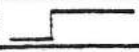
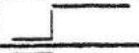
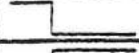
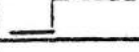
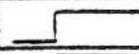
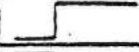
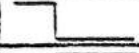
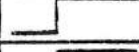
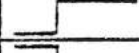
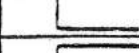
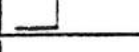
2. Oszillator: 7,3728 MHz $\pm$ 10^{-4}

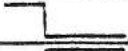
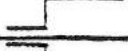
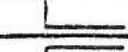
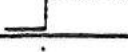
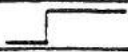
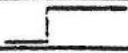
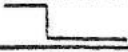
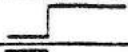
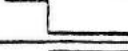
STECKERBELEGUNGSLISTE

STECKER : A

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	+ 5V			
02	0V			
03	+ 12V			
04	0V			
05	- 12V			
06	0V			
07	M1		Machine Cycle one	
08				
09	ADR 0		Adreß-Bit 0	
10	ADR 1		Adreß-Bit 1	
11	ADR 2		Adreß-Bit 2	
12	ADR 3		Adreß-Bit 3	
13	ADR 4		Adreß-Bit 4	
14	ADR 5		Adreß-Bit 5	
15	ADR 6		Adreß-Bit 6	
16	ADR 7		Adreß-Bit 7	
17				
18				
19				
20				
21				
22				
23				
24				
25	DAT 0		Daten-Bit 0	
26	DAT 1		Daten-Bit 1	
27	DAT 2		Daten-Bit 2	
28	DAT 3		Daten-Bit 3	
29	DAT 4		Daten-Bit 4	
30	DAT 5		Daten-Bit 5	
31	DAT 6		Daten-Bit 6	
32	DAT 7		Daten-Bit 7	

		STECKERBELEGUNGSLISTE		STECKER: A
PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
33	+ 5V			
34	0V			
35	+ 12V			
36	0V			
37	- 12V			
38	0V			
39				
40				
41				
42				
43	$\overline{\text{IOR}}$		IN/OUT Read	
44	$\overline{\text{IOW}}$		IN/OUT Write	
45	$\overline{\text{INTV}}$		Interrupt Vector	
46				
47	$\overline{\text{RST}}$		Reset intern	
48				
49				
50				
51	$\overline{\text{BUSAK}}$		Bus Acknowledge	
52				
53	$\emptyset$		Systemtakt	
54	IORQ		Input/Output Request	
55				
56	$\overline{\text{INT}}$		Interrupt	
57	IEI		Interrupt Enable In	
58	IEO		Interrupt Enable Out	

		STECKERBELEGUNGSLISTE		STECKER : B
PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	<u>TXD1</u>		Transmitted Data 1	
02	DTR1		Data Terminal Ready 1	
03	RTS1		Request to Send 1	
04	CTS1		Clear to Send 1	
05	<u>RXD1</u>		Received Data 1	
06	DSR1		Data Set Ready 1	
07	OV			
08	OV			
09	M5/1		M5/1 (Modemsignal)	
10	S4/1		S4/1 (Modemsignal)	
11	RXC1		Receiver Clock 1	
12	TXC1		Transmitter Clock 1	
13	<u>TXD2</u>		Transmitted Data 2	
14	DTR2		Data Terminal Ready 2	
15	RTS2		Request to Send 2	
16	CTS2		Clear to Send 2	
17	<u>RXD2</u>		Received Data 2	
18	DSR2		Data Set Ready 2	
19	OV			
20	OV			

		STECKERBELEGUNGSLISTE		STECKER : B
PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
21	<u>TXD3</u>		Transmitted Data 3	
22	DTR3		Data Terminal Ready 3	
23	RTS3		Request to Send 3	
24	CTS3		Clear to Send 3	
25	<u>RXD3</u>		Received Data 3	
26	DSR3		Data Set Ready 3	
27	OV			
28	OV			
29	M5/3		M5/3 (Modemsignal)	
30	S4/3		S4/3 (Modemsignal)	
31	RXC3		Receiver Clock 3	
32	TXC3		Transmitter Clock 3	
33	<u>TXD4</u>		Transmitted Data 4	
34	DTR4		Data Terminal Ready 4	
35	RTS4		Request to Send 4	
36	CTS4		Clear to Send 4	
37	<u>RXD4</u>		Received Data 4	
38	DSR4		Data Set Ready 4	
39	OV			
40	OV			

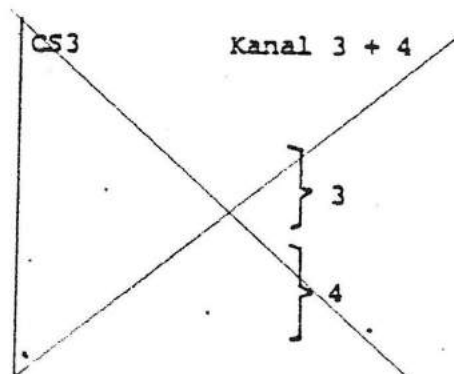
SIGNALBENENNUNGSLISTE		
Kurzbezeichnung	Erläuterung interner Signale	Blatt Nr.
IORQ	Input/Output Request	
M1	Machine Cycle one	
ϕ	Systemtakt	
D ϕ -7	Internes Datenbit ϕ - 7	
CS ϕ -3	Chipselect ϕ - 3	
T	Takt für Zähler 8253	
WR	Write	
RD	Read	
A ϕ /1	Internes Adreß-Bit ϕ /1	
RESI	Reset intern	
TXD	Transmitted Data	
DTR	Data Terminal Ready	
RTS	Request to Send	
CTS	Clear to Send	
RXD	Received Data	
DSR	Data Set Ready	
M5	Modemsignal	
S4	Modemsignal	
RXC	Receiver Clock	
TXC	Transmitter Clock	

Brücken		offen	geschlossen	Erläuterung
Kanal 1	Kanal 3			
1, 3	5, 7		x	Kanal 1 und 3 interner Takt
2, 4	6, 8	x		
1, 3	5, 7	x		Kanal 1 und 3 externer Takt
2, 4	6, 8		x	

ADRESSBELEGUNG

ADR BIT	7	6	5	4	3	2	1	0	
Basisadr.	0 0 0 0				0	0	X	X	→ CS0
	0 1 1 0				0	1	X	X	→ CS1
	1 0 1 0				1	0	X	X	→ CS2
	1 1 1 0				1	1	X	X	→ CS3

CS0	Kanal 1 + 2			
ADR BIT	2 ¹	2 ⁰	USART	
	0	0	A	Daten
	0	1	A	Befehle
	1	0	B	Daten
	1	1	B	Befehle
CS1	TIMER			



Schreiben

ADR BIT	2 ¹	2 ⁰	
	0	0	laden Zähler 1
	0	1	laden Zähler 2
	1	0	laden Zähler 3
	1	1	Mode

Lesen

ADR BIT	2 ¹	2 ⁰	
	0	0	lesen Zähler 1
	0	1	lesen Zähler 2
	1	0	lesen Zähler 3
	1	1	Tristate

CS2	Lesen			
M5	Kanal 1	→	Datenbit 2 ³	
M5	Kanal 3	→	Datenbit 2 ⁴	

BRÜCKENBELEGUNGSLISTE

1.) Externe, bzw. interne Taht

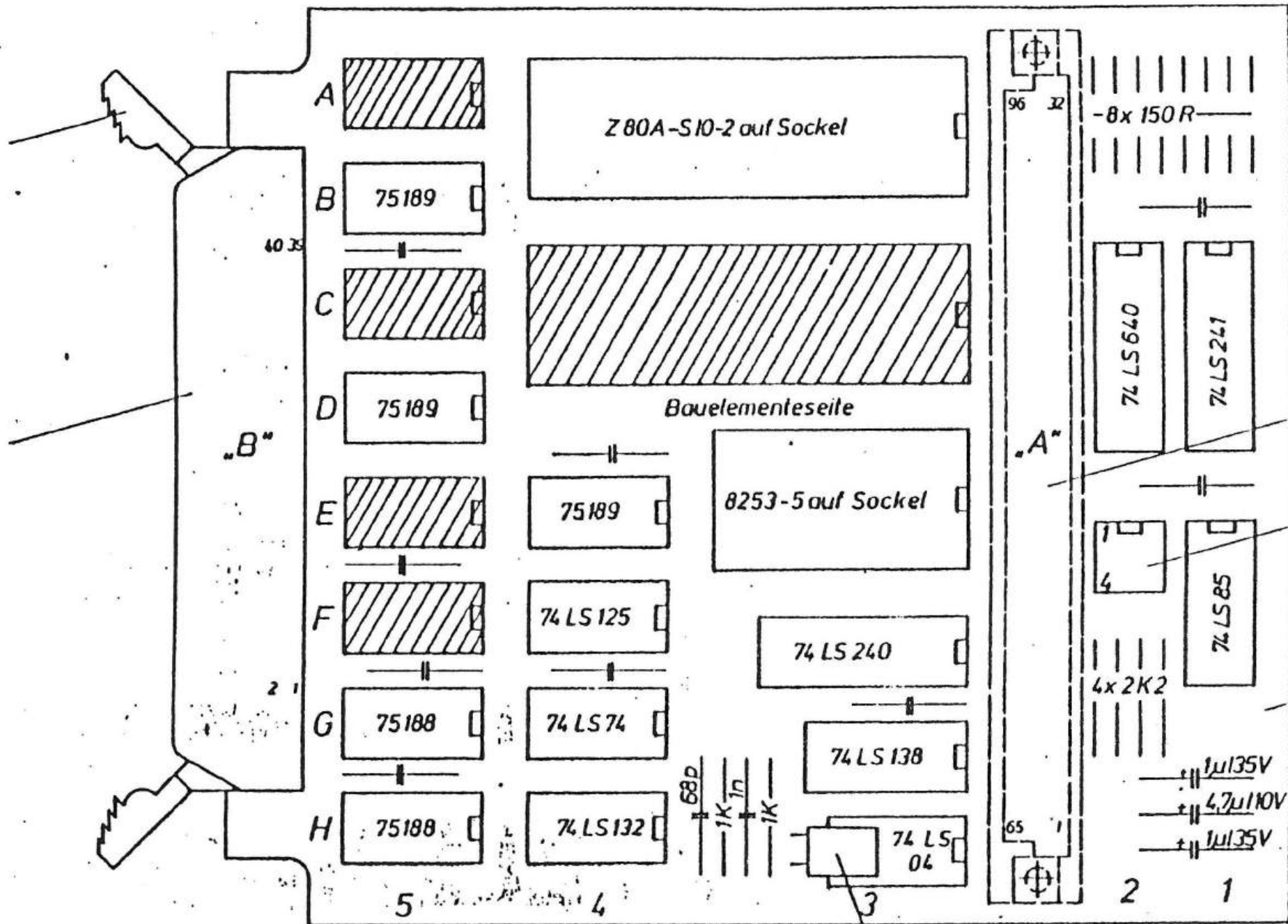
Brücken		offen	geschlossen	Erklärung
Kanal 1	Kanal 3			
1, 3	5, 7		X	Kanal 1 und 3 interne Taht
2, 4	6, 8	X		
1, 3	5, 7	X		Kanal 1 und 3 externe Taht
2, 4	6, 8		X	

2.) Inkrupt

Durch Schließen der Brücken 9 bis 14 wird der entsprechende Inkrupt erzeugt

Kanal 1 u. 2	Brücke 9	geschlossen	entspricht	INT 2
	" 10	"	"	INT 1
	" 11	"	"	INT ϕ
Kanal 3 u. 4	" 12	"	"	INT 2
	" 13	"	"	INT 1
	" 14	"	"	INT ϕ

				Eingr. Ordn.		Unterlagen Nr.	von
					2	2 NIC 583 E	1
Nr. Änderung	TTMMJJ	Name				Referenz-Baugruppe	Seite
						2 NIC 5193/5203	1



7,3728 MHz

AUF WACHSTUM PROGRAMMIERT

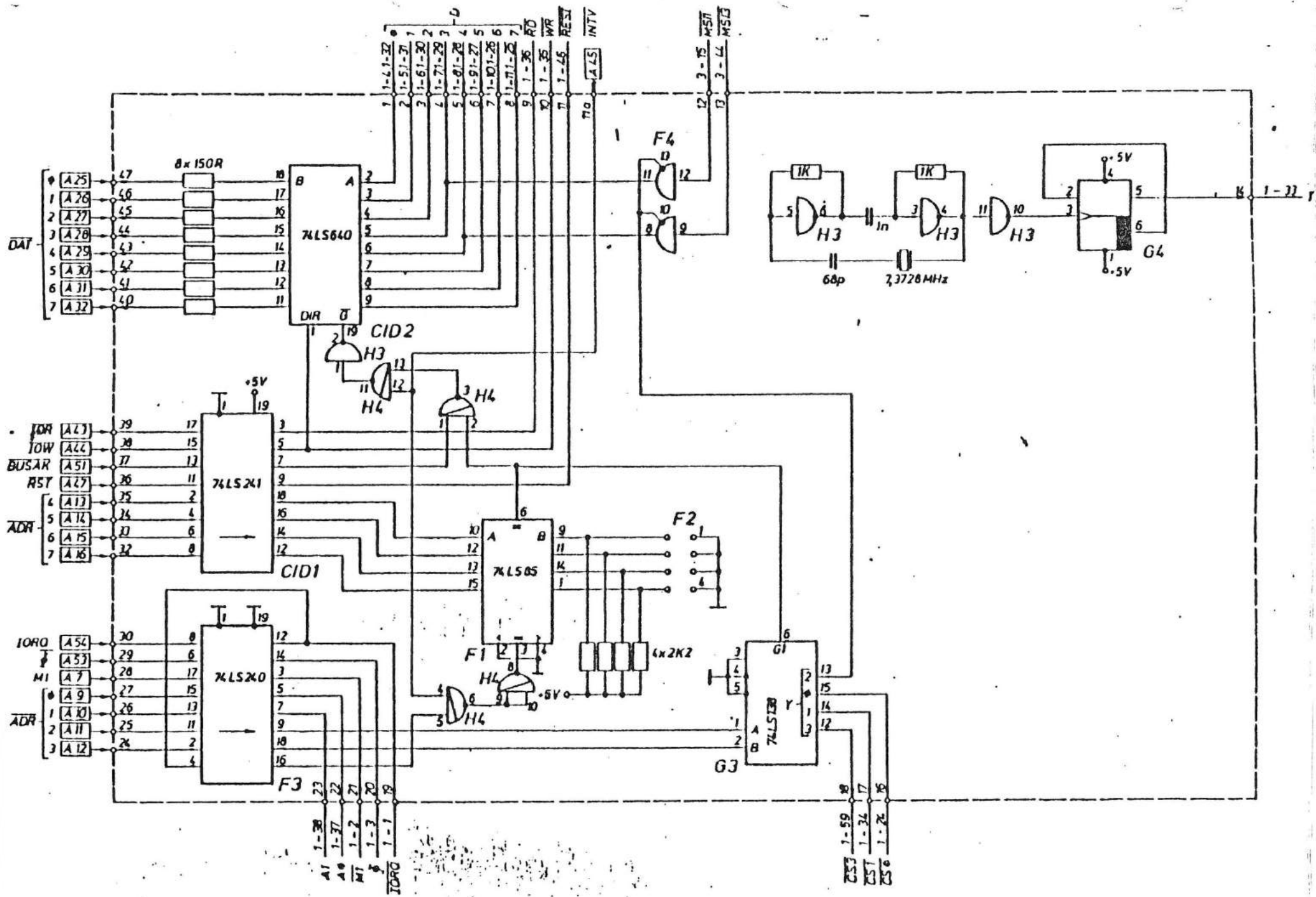
[illegible]

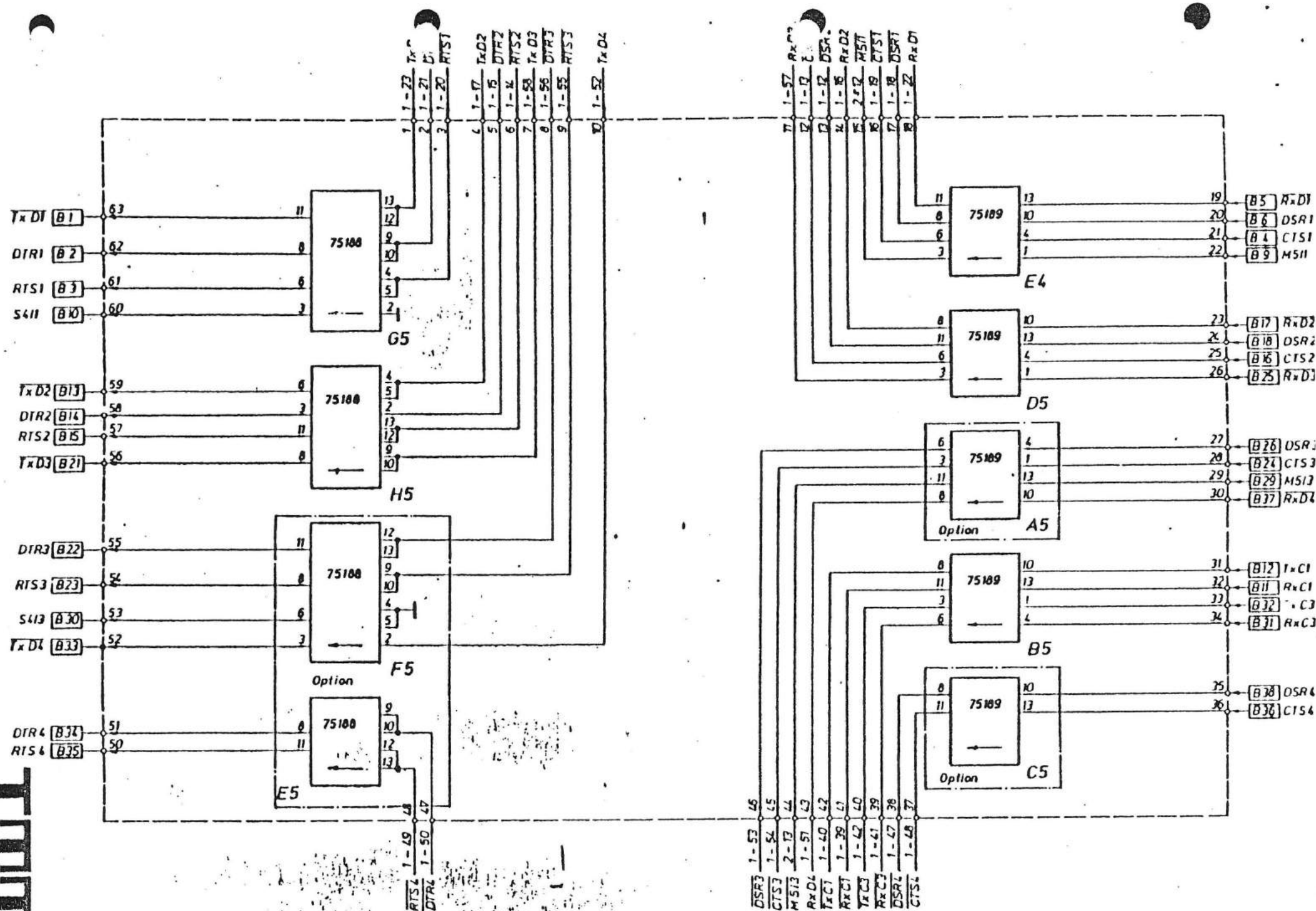
1982	Tag	Name
Reard	26.3	Co.
Jim		

Maßstab	$\frac{1}{1000}$
---------	------------------

Blockschaltbild

Descent aus	1 Blatt
Blatt	
Bl.	





```

*****
*
*  BEDIENUNGSANLEITUNG  *
*
*  I E E E - 4 8 8    *
*
*      INTERFACE      *
*
*****

```

1. Lieferumfang

Dem IEEE - 488 Interface liegen die folgenden Komponenten bei:

- IEEE - 488 Interface
- + Steckverbindung

2. Installation des IEEE - 488 Interfaces

Neuinstallation: Die Installation des ITT 3030 Computer-Systems entnehmen Sie bitte Ihrer

" BEDIENUNGSANLEITUNG ITT 3030 "

Anmerkung: Die Hinweise auf die ABBILDUNGEN beziehen sich auf die

" BEDIENUNGSANLEITUNG ITT 3030 "

Beachten Sie bitte zur Ihrer Erleichterung folgenden Punkt:

- Nach dem Einsatz des Monitor - Adapters auf dem Verdrahtungsfeld Abb. 2 (8) setzen Sie Ihr IEEE - 488 Interface nach der nachfolgenden Beschreibung ab PUNKT 2.6 auf.

Systemerweiterung: Bei einer Systemerweiterung bzw. Neuinstallation gehen Sie bitte wie folgt vor.

2.1 NETZ - SCHALTER am ITT 3030 ausschalten. Abb.9(1)

2.2 GEHAUSE des ITT 3030 öffnen. Abb.1

2.3 FLOPPY - DISK LAUFWERKE herausnehmen. Abb.10

2.4 VERRIEGELUNGS - BÜGEL des Floppy - Haltebügels öffnen.
Abb.3(6)

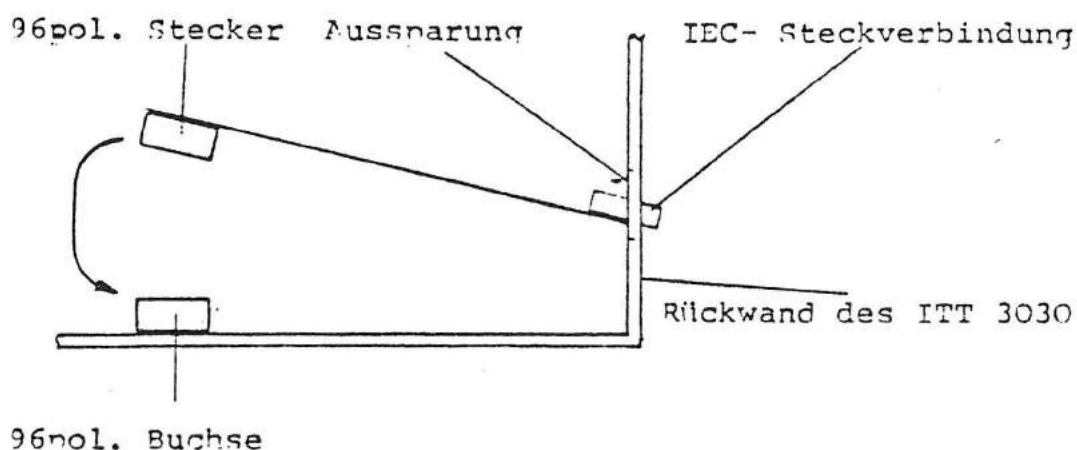
2.5 FLOPPY - HALTEBÜGEL abnehmen.

>>>>

2.6 ABDECK - PLÄTTCHEN in der Rückwand ,das diesem Steckplatz zugeordnet ist ,entfernen.

2.7 IEEE - 488 INTERFACE auf einen der 96pol. Steckverbindungen an den Erweiterungs - Slots aufstecken.

2.8



2.9 FLOPPY - HALTEBÜGEL einsetzen und die beiden Floppy - Disk Laufwerke einstecken. Abb.10

3. Inbetriebnahme: Bevor Sie einen Dialog mit dem IEEE - 488 Interface durchführen können, legen Sie bitte eine ADRESSE für den IEC- Bus mit den Brücken ..1... bis ..5... fest.

Mit der Brücke ..6... ist Ihr ITT 3030 ein Controller oder ein Slave.

Nach dem NETZ einschalten und dem Laden eines Betriebssystems für den ITT 3030 ist Ihr Interface betriebsbereit.

Kontroll-Bus =====

PIN

Jeder der fünf Leitungen des Kontroll-Busses hat eine besondere Funktion:

- | | | |
|----|-----|---|
| 19 | ATN | Attention; wird vom Kontroller aktiviert. Mit dieser Leitung werden der Daten- und Befehlsmode unterschieden. |
| 21 | IFC | Interface clear; wird vom Kontroller aktiviert. Diese Leitung wird benutzt (IFC = logisch 1), um das Interface der Geräte in einen spezifischen Anfangszustand zu setzen. |
| 23 | REN | Remote enable; wird vom Kontroller aktiviert. Mit dieser Leitung können die angeschlossenen Geräte vom Lokalbetrieb in den Fernbetrieb (REN = logisch 1) umgeschaltet werden. |
| 17 | SRQ | Service request; wird von irgendeinem Gerät aktiviert. Wenn diese Leitung logisch 1 ist, weiß der Kontroller, daß ein Gerät ihm etwas mitteilen möchte (Seriell-Polling). Der Kontroller kann dann das laufende Programm unterbrechen und die Nachricht des Gerätes abholen. |
| 25 | EOI | End or identify; diese Leitung hat zwei Funktionen. Im Datenmode (ATN = logisch 0) kann ein Talker EOI als Datenende-Kriterium verwenden (EOI = logisch 0). Im Befehlsmode (ATN = logisch 1) benutzt der Kontroller die EOI-Leitung für die Ausführung des Parallel-Pollings. |

Handshake-Bus =====

Die Übertragung von Informationen auf dem Datenbus wird durch Aktivitäten auf dem Handshake-Bus begleitet. Es gibt drei Handshake-Leitungen:

- | | | |
|----|------|--|
| 27 | DAV | Data valid; wird vom Talker aktiviert. DAV = logisch 1, bedeutet, daß die Nachricht auf dem Bus korrekt und zur Übernahme geeignet ist. |
| 19 | NRFD | Not ready for data; wird von den Listnern aktiviert. NRFD = logisch 0, bedeutet, daß alle Listener bereit sind, die Nachricht zu übernehmen. |
| 31 | NDAC | Not data accepted; wird von den Listnern aktiviert. NDAC = logisch 0, bedeutet daß alle Listener die Nachricht akzeptiert haben. |

Kleines IEC-Bus-Lexikon =====

Adressierung

Alle Geräte werden durch den Kontroller mittels der Adressierung in die betreffende Funktion geschaltet (Talker oder Listener). Jedes der möglichen 15 Geräte hat eine hardwaremäßig einstellbare Adresse. Für die Adressierung wird der ISO-7-Bit-Code verwendet. Die bei der Adressierung vom Kontroller gesendeten ASCII-Zeichen werden über die 8 Datenleitungen übertragen. Damit Daten von Adressen unterschieden werden können, wird bei der Adressierung zusätzlich die Kontrolleitung ATN aktiviert. Ein Gerät, das als Talker und Listener arbeiten kann, hat für jede Funktion eine eigene Adresse, die sich jedoch nur in Bit 6 und 7 unterscheiden. Ist das Bit 7 gesetzt, arbeitet das Gerät als Listener. Bit 1 bis 5 werden am Gerät eingestellt.

ATN (attention)

Das Aktivieren der Steuerleitung ATN bedeutet, daß auf der Datenleitung Adressen oder Befehle übertragen werden.

Bus-Kommandos

Nicht alle Geräte reagieren auf alle Bus-Kommandos. Meistens sind in den Datenblättern die Kommandos angegeben, die das Gerät ausführen kann. Man unterscheidet Universal-Kommandos, adressierte Kommandos und Entadressierte Kommandos. Kommandos werden auf den Datenleitungen übertragen, nachdem die ATN-Leitung aktiviert wurde.

Bus-Länge

Das Impedanzverhalten der Verbindungskabel läßt unter Berücksichtigung der Signalzeiten eine maximale Bus-Länge von 20 m zu.

	Pro Gerät darf jedoch eine Kabellänge von 2 m nicht überschritten werden.
Datenübertragung	Die Übermittlung von Daten ist nicht genormt. Das jeweilige Ende einer Zeichenkette wird durch die Steuerleitung EOI angezeigt. Ausserdem hat es sich in der allgemeinen Datenübertragung eingebürgert, daß ein CR- (carriage return) und ein LF- (line feed) -ASCII-Zeichen eine Übertragung abschließen.
DAV (data valid)	Diese Handshake-Leitung wird vom Talker aktiviert, wenn die zu übertragenden Meßdaten richtig sind. Dieses Kommando ist eine Art <u>Freigabe</u> .
DCL (device clear)	Dieses Kommando bringt alle Geräte in den Einschaltzustand.
EOI (end or identify)	Diese Kontrolleleitung wird benutzt, um das Ende einer Übertragung anzuzeigen oder bei der Identifizierung eines Gerätes.
Fan-Out	Die Ausgangstreiber der Busleitungen haben ein Fan-Out von 30. Damit werden die Threshold-Pegel (Schwellwerte) auch bei voller Gerätezahl erreicht.
GET (group execute trigger)	Dieses Kommando löst eine Messung bei allen vorprogrammierten Geräten aus.
GPIB (General Purpose Interface Bus)	Synonym für IEC-Bus und IEEE-488-Bus.
GTL (go to local)	Dieses Kommando bringt adressierte Geräte in die Handbedienung zurück.

Handshake-Bus

Drei Leitungen (DAV, NRFD, NDAC), mit denen die Kommunikation unterschiedlich schneller Geräte koordiniert wird.

Handshake-Timing

Jede Datenübertragung von einem Gerät zu anderen Geräten wird nicht eher begonnen, bis alle zuhörenden Geräte ihr Data Ready (NRFD) gesendet haben und nicht eher abgeschlossen, bis alle zuhörenden Geräte ihr Data Accepted (NDAC) gesendet haben.

IEC-Bus

Bus-System mit 16 parallelen Leitungen, das einen Befehls- und Datenaustausch zwischen den beteiligten Geräten gestattet. Es basiert auf einem schon 1965 ausgearbeiteten Interface-System für programmierbare Meßgeräte von Hewlett-Packard. Bei dem Entwurf der IEC (Internationale Elektrotechnische Commission) wurde ein anderer Stecker verwendet als bei dem amerikanischen Entwurf (IEEE-488).

IEEE-488-Bus

Amerikanischer Entwurf eines Interface-Systems für programmierbare Meßgeräte. Er unterscheidet sich vom IEC-Bus nur durch den Stecker.

IFC (interface clear)

Mit dieser Kontrolleitung wird die Adressierung der Geräte gelöscht und der Bus in einen Beginnzustand gebracht.

Kontroll-Bus

Die fünf Leitungen (IFC, ATN, SRQ, REN, EOI) ermöglichen verschiedene Kommandos an die angeschlossenen Geräte.

ITT 3030

Blatt 4

AUF WACHSTUM PROGRAMMIERT !

Kontrolller

Auf dem IEC-Bus kann nur ein Kontrolller (ITT 3030) tätig sein. Er hat Zugriff zum Kontroll-Bus. Die Leitungen ATN, IFC und REN können nur vom Kontrolller aktiviert werden. Außerdem kann er Informationen von den angeschlossenen Geräten empfangen.

Listener

Der Listener (Empfänger) nimmt Informationen entgegen. Es können mehrere Listener gleichzeitig auf dem IEC-Bus tätig sein.

LLO (local lock out)

Dieses Kommando setzt alle Handbedienelemente des Gerätes außer Betrieb, auch "Reset".

NDAC (not data accepted)

Die Listener aktivieren diese Handshake-Leitung, wenn sie die angebotene Information akzeptiert haben (High-Signal).

Negativ-True-Logik

Der IEC-Bus arbeitet mit TTL-Pegeln in der Negativ-True-Logik (0... 1,4 V = logisch 1; 2,5 V ... 5 V = logisch 0).

NRFD (not ready for data)

Die Listener geben über diese Handshake-Leitung ein Bereitschaftssignal, daß sie zur Übernahme von Informationen bereit sind (High-Signal). Erst wenn alle adressierten Listener dieses Signal gegeben haben, beginnt die Übertragung von Daten.

Parallel-Polling

Die parallele Abfrage des Status erfordert bei bis zu acht Geräten nur eine einzige Statusabfrage. Dann ist jedem Gerät ein Bit des Statusbytes zugeordnet (vorher per Programm zugewiesen).

Polling

Verfahren, bei dem der Kontrolller fragt, welches Gerät die Steuerleitung SRQ aktiviert hat. Man unterscheidet seriell und paralleles "polling".

PPC (parallel poll configure)	Dieses Kommando bestimmt, welches Bit ein Gerät beim parallel "polling" aktivieren soll.
PPU (parallel poll unconfigure)	Dieses Kommando veranlaßt alle Geräte, das vorher bestimmte Bitmuster zu löschen.
REN (remote enable)	Diese Kontrolleleitung ermöglicht die Fernbedienung.
Seriell-Polling	Alle Geräte werden nacheinander vom Kontroller nach dem Statusbyte abgefragt. Ein bestimmtes oder auch mehrer Bits (vom Hersteller vorgegeben) geben dann über den Gerätestatus Auskunft, z.B. ob die SRQ-Leitung aktiviert wurde.
SPC (selective device clear)	Dieses Kommando bringt das adressierte Gerät in den Einschaltzustand.
SPD (serial poll disable)	Dieses Kommando löscht die Bedingungen für Statusabfragen.
SPE (serial poll enable)	Dieses Kommando setzt alle Bedingungen für Statusabfragen.
SRQ (service request)	Diese Kontrolleleitung ermöglicht eine Bedienungsanforderung eines Gerätes, z.B. an den Kontroller während eines Programmablaufes. Der Kontroller hat dann durch eine Statusabfrage (polling) herauszufinden, welches Gerät die Leitung aktiviert hat.
Talker	Der Talker (Sender) kann Informationen auf den IEC-Bus geben. Es kann immer nur ein Talker auf dem Bus tätig sein.

TCT (take control)

Dieses Kommando übergibt die Kontrolle vom zur Zeit aktiven Controller an das adressierte Gerät.

Übertragungsgeschwindigkeit

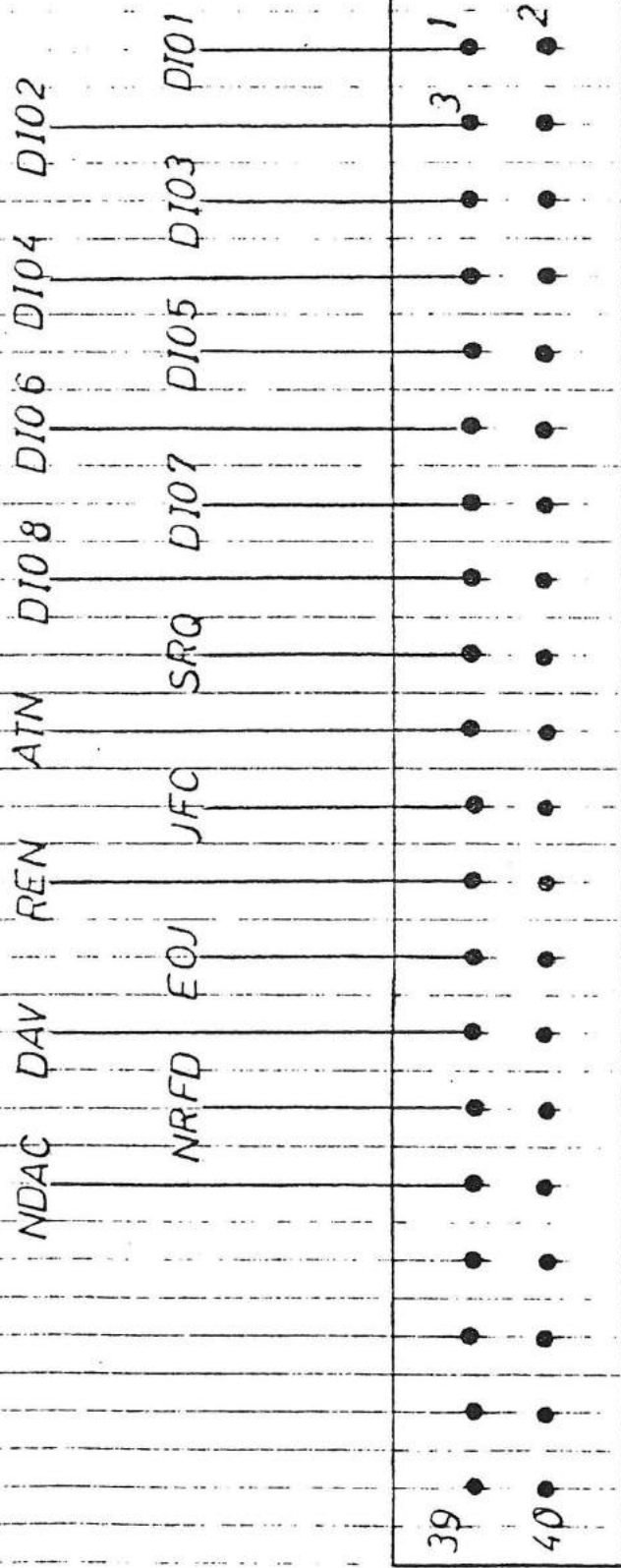
Die Übertragungsgeschwindigkeit beträgt auf dem IEC-Bus 250 KByte/s, wenn alle 2 m Einheitslasten angebracht sind und 48-mA-Treiber mit offenem Kollektor verwendet werden. Die maximale Übertragungsgeschwindigkeit von 1 MByte/s wird bei einer Kabellänge von 0.5 m pro Gerät erreicht und wenn 48-mA-Tri-State-Treiber benutzt werden.

UNL (unlisten)

Kommando, mit dem alle Listener gelöscht werden.

UNT (untalk)

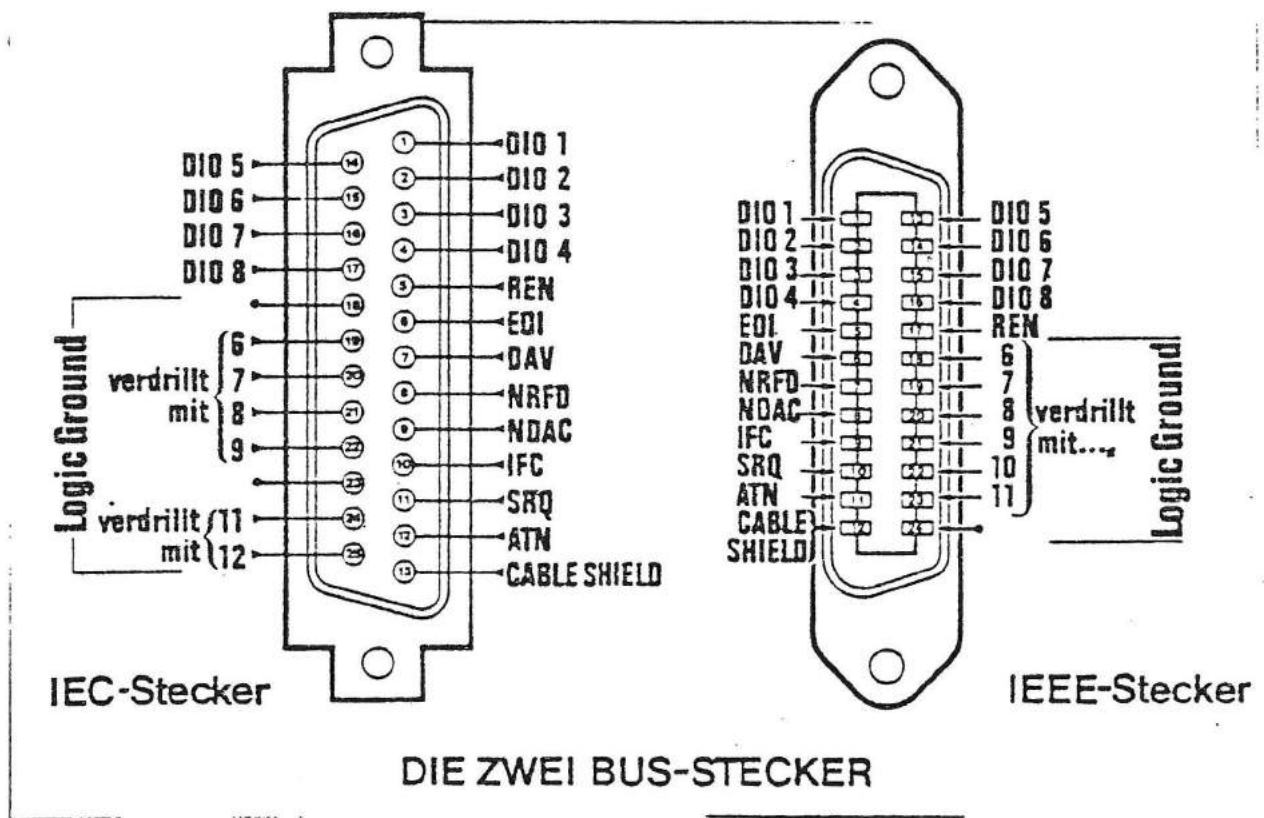
Kommando, mit dem alle Talker gelöscht werden. Talker können auch durch eine nicht verwendete Talkeradresse gelöscht werden.



JEC-Bus-Adapter-Slecker

ITT 3030

AUF WACHSTUM PROGRAMMIERT !



ITT 3030

auf Wachstum programmiert

Spezifikation der Stromversorgung für ITT 3030

I. Allgemeine Eigenschaften:

- alle Strecken kurzschlußfest gegen OV ✓
- Überspannungsschutz bei +5V
- Funkentstörgrad N-12 dB
- VDE 0730 - 2P gerecht
- Uhrentakt 50/100 Hz, umschaltbar, netzsynchron
- Einschaltnullstellung (General Null)
- alle Signale TTL-kompatibel / aktiv low
- Netzausfall-Frühwarnung als Option

II. Elektrische Daten:

Eingangsspannungen: 220V + 10 % / - 15 % - 50 Hz
110V + 10 % / - 15 % - 50 Hz

Aufgenommene Leistung: bei 220V - *min 75 VA*
max 150 VA

Netzsicherung: 1,25 AT / 250 V

Ausgangsspannungen: Die allgemeinen elektrischen Daten der Sekundärkreise sind der beiliegenden Tabelle zu entnehmen.

Einstellvorschrift

Abgleich der +5V Strecke auf

$$5,1 \text{ V} \pm 0,02 \text{ V}$$

bei 220 V Eingangsspannung und 7A Last

Leistungsdaten:

Nach erfolgtem Abgleich gelten folgende Leistungsdaten:

Regel- Strecke V	Strom A	Toleranzbereich		Restwel- ligkeit mVss max.	Ausregelzeit Sprung 10-90% msec	Strombegren- zung A	
		von V	bis A			min.	max.
+ 5	7,0	5,0	5,25	80	3,0		10,0
+ 12	0,8	11,5	12,5	50	0,1		2,25
- 12	0,4	-11,5	-12,5	50	0,1		1,2
+ 12M	2,5	11,5	12,5	100	1,5	3,0	4,0

Überspannungsschutz: + 5V Logikstrecke - 5V-Strecke schaltet
ab

Einschalt-Nullstellung: General Null > 80 msec nach Hoch-
laufen der +5V Strecke

Aufbau: Geschlossenes Metallgehäuse, in das
die Elektronik-Platine (1 Leiterplatte)
eingebaut wird.

Lüfter und Kühlflächen sind innerhalb
des Gehäuses untergebracht.

220V-Eingang (Kaltgerätebuchse) über
Netzschalter zu schalten.

Sekundäre Abgänge über 48-pol. Steck-
verbinder nach DIN 41612

Abmessungen siehe Maßbild

Umgebungstemperatur und
Belüftung:

bei 20 m^3 pro Stunde Eintrittstempe-
ratur 60° C

Lagertemperatur:

- 25° C bis + 80° C

Rel. Luftfeuchte:

10 - 80 % bei 25° C

